

功率半导体器件领域 专利导航

北京超凡知识产权咨询管理有限公司

二〇二一年六月



目录

第 1 章 功率半导体器件概述	1
1.1 功率半导体器件技术介绍.....	1
1.2 市场现状.....	2
1.3 国内发展现状.....	4
1.4 重点公司.....	5
1.5 数据检索.....	7
1.5.1 检索地域.....	7
1.5.2 专利数据库.....	7
1.6 技术分解.....	9
第 2 章 全球以及中国专利竞争态势分析.....	12
2.1 全球专利态势分析	12
2.1.1 申请趋势分析.....	12
2.1.2 申请来源地域分析.....	13
2.1.3 专利布局目标地域.....	14
2.1.4 主要申请人.....	15
2.1.5 专利类型.....	16
2.1.6 全球法律状态分析.....	17
2.1.7 技术分支分析.....	18
2.2 中国专利态势分析	19
2.2.1 申请趋势分析.....	19
2.2.2 申请来源地域分析.....	20

2.2.3 主要申请人.....	21
2.2.4 专利类型.....	22
2.2.5 中国法律状态分析.....	23
2.2.6 技术分支分析.....	24
2.3 小结.....	25
第3章 竞争对手分析.....	27
3.1 华润微电子.....	27
3.1.1 申请趋势分析.....	27
3.1.2 地域布局分析.....	29
3.1.3 专利类型.....	31
3.1.4 法律状态及运营分析.....	32
3.1.5 技术分支分析.....	33
3.1.6 技术功效分析.....	38
3.1.7 重点技术分析.....	44
3.1.8 小结.....	137
3.2 士兰微.....	141
3.2.1 申请趋势分析.....	143
3.2.2 地域布局分析.....	144
3.2.3 专利类型.....	145
3.2.4 法律状态及运营分析.....	146
3.2.5 技术分支分析.....	147
3.2.6 技术功效分析.....	151

3.2.7 重点技术分析.....	155
3.2.8 小结.....	209
第 4 章 专利诉讼情况分析.....	213
4.1 MOSFET 诉讼专利.....	214
4.2 IGBT 诉讼专利分析.....	224
4.3 功率模块/电路技术诉讼专利.....	231
4.4 其他技术诉讼专利.....	234
4.5 小结.....	248
第 5 章 华微电子功率半导体器件专利资产状况分析.....	249
5.1 自有专利分析.....	249
5.1.1 申请趋势.....	249
5.1.2 地域布局.....	250
5.1.3 专利布局类型.....	250
5.1.4 法律状态及专利运营情况.....	251
5.1.5 主要技术分支的布局.....	252
5.1.6 专利被引用情况.....	253
5.2 小结.....	253
第 6 章 总结与建议.....	255
6.1 总结.....	255
6.1.1 专利总体布局情况.....	255
6.1.2 主要竞争对手.....	256
6.2 建议.....	262

6.2.1 专利布局建议.....	262
6.2.2 专利风险评估及应对建议.....	265

第1章 功率半导体器件概述

1.1 功率半导体器件技术介绍

功率半导体器件 (Power Semiconductor Device) 又称电力电子器件 (Power Electronic Device), 是电子装置中电能转换与电路控制的核心, 主要用于电压、频率、直流交流转换等。功率半导体发展历史悠久, 1957 年, 美国通用电气公司第一个晶闸管出现, 标志着电力电子技术的诞生; 1970 年代后期, 门极可关断晶闸管 GTO、电力双极型晶体管 BJT、电力场效应晶体管功率 MOSFET 为代表的全控型器件迅速发展, 第二代电力电子器件应运而生; 1980 年代后期, 以绝缘栅极双极型晶体管 (IGBT) 集合了 MOSFET 的驱动功率小、开关速度快和 BJT 通态压降小、载流能力大的优点, 成为现代电力电子技术的主要器件。20 世纪 90 年代, 智能功率模块使功率器件的发展向大功率、高频化、高效率跨向一大步。功率半导体器件从早期简单的二极管逐渐向高性能、集成化方向发展, 为满足更广泛的应用需求和复杂的应用环境, 器件设计及制造难度逐渐提高。随着科技的发展, 功率半导体已经成为电子电力行业的核心。

功率半导体种类繁多、用途广泛, 因此从不同角度出发、根据不同用途, 对功率半导体有着不同的分类方法。一般而言, 功率半导体可以从五个角度去分类: 控制类型、驱动方式、载流子类型、材料特性以及半导体的集成度。功率半导体器件按集成度可分为功率集成电路 (即 Power IC, 简称为 PIC, 又称为功率 IC)、功率模组和分立器件三大类; 其中, 功率 IC 对应将分立功率半导体器件与驱动/控制/保护/接口/监测等外围电路集成; 功率模组是将多个分立功率半导体器件

进行模块化封装；而分立功率半导体器件则是功率模块与功率 IC 的关键。功率器件又可分为二极管、晶体管 and 晶闸管。晶体管根据应用领域和制程不同又可分为 IGBT、MOSFET、双极型晶体管等。功率 IC、IGBT、MOSFET、二极管是应用最为广泛的功率半导体产品。



图 1-1 功率半导体器件分类

1.2 市场现状

近年来，功率半导体的应用领域已从工业控制和消费电子拓展至新能源、智能电网、变频家电等新市场，市场规模呈现稳健增长态势。根据 IHS Markit 数据显示，2018 年全球功率器件市场规模约为 391 亿美元，预计至 2021 年增长至 441 亿美元。目前国内功率半导体产业链正在日趋完善，中国作为全球最大的功率半导体消费国，2018 年市场需求规模达到 138 亿美元，占全球需求比例达 35%，2021 年市场规模有望达到 159 亿美元。

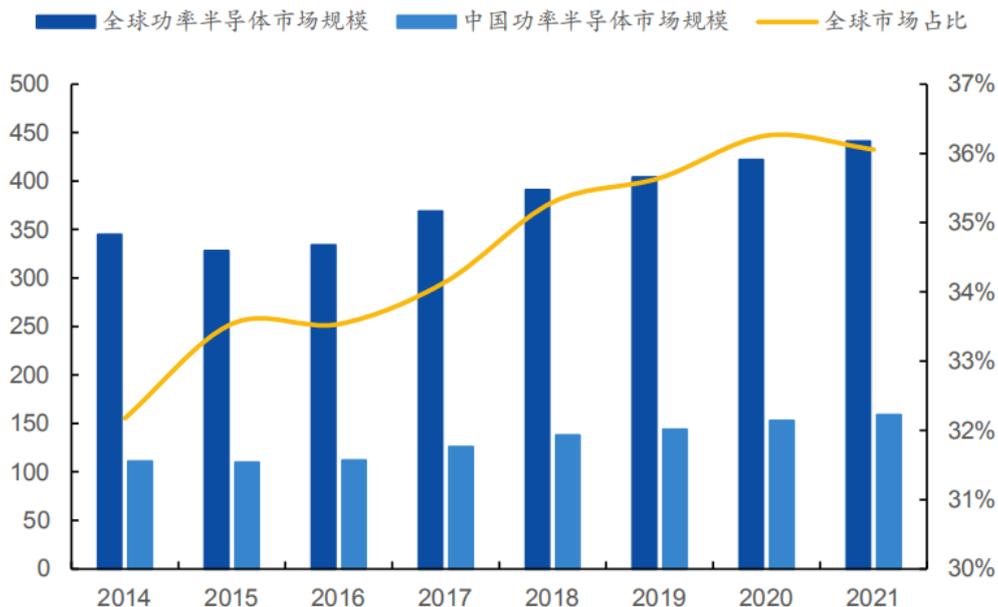


图 1-2 全球及中国功率半导体市场规模（亿美元）及增速

根据 Omdia 数据显示，功率半导体细分市场中功率 IC 占比超过 50%，预计未来增速为 6.6%；分立器件占比约 35%，增速为 2.2%；模组占比 15%，增速为 5.4%。

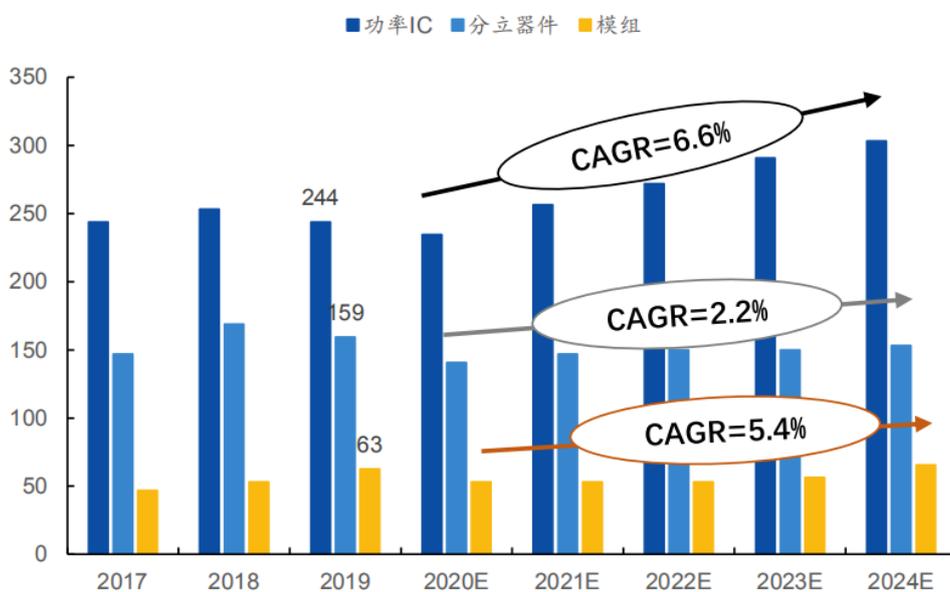


图 1-3 全球功率半导体细分市场规模（亿美元）及预期增速

功率器件及模组市场中，MOSFET、IGBT 和双极晶体管是最主要的三个细分市场，合计占比超过 90%。其中随着新应用的推动，MOSFET 和 IGBT 发展

迅速。我国 MOSFET 和 IGBT 行业增速远高于世界水平。全球功率 MOSFET 市场增速为 7.6%，中国增速为 15%；全球 IGBT 市场增速为 8.9%，中国增速为 14%。

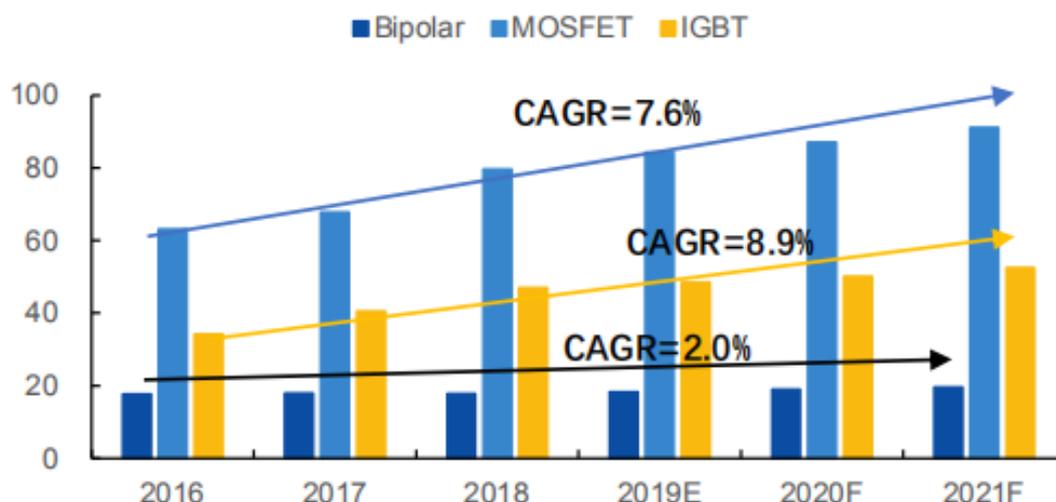


图 1-4 全球 Bipolar、MOSFET 和 IGBT 市场规模 (亿美元) 及增速

从供给端来看，全球功率半导体的主要产地集中在欧美日，占据全球功率半导体大部分的市场份额。中国大陆以二极管、低压 MOSFET、晶闸管等低端功率半导体为主，目前实力较弱，占据全球 10% 的市场份额。从需求端来看，中国是全球最大的功率半导体消费国。根据 Yole 数据，中国功率半导体市场空间占全球比例 39%，居第一位。中国大陆功率半导体呈供需严重不匹配的格局，且国内以低端产品为主，国产替代缺口巨大。随着新领域的应用增加以及欧美产品升级产业转移到国内，国内市场将有很大的增长空间。

1.3 国内发展现状

中国功率半导体发展起步相对较晚，技术落后于国外巨头。尽管经过多年发展，我国在二极管、晶闸管等传统功率半导体产品方面大部分已实现国产化，但

是整体以中低端产品为主，高端功率半导体领域在产品技术性能、多样性等方面与国际领先水平仍存在差异，如 MOSFET、IGBT 等高附加值产品依然较大程度上依赖进口。

中国的功率半导体行业呈现出明显的供需不匹配的特点。作为全球最大的功率半导体消费国，目前中国超过一半的功率半导体市场空间被国际巨头所占据，尤其是中高端 MOSFET 及 IGBT 器件中，90%依赖于进口，仍存在巨大的国产替代空间。

近年来随着国家政策的有力支持以及需求强劲，国内功率半导体产业链日趋完善，技术亦正在不断积累与升级突破，国产替代进程加速。

1.4 重点公司

功率半导体厂商以欧美日为主，由于起步早，并且通过行业间的相互整合，已发展成规模体量巨大的国际巨头。2017 年排名前 10 的全球领先半导体企业是英飞凌、安森美、意法半导体、三菱电机、东芝、Vishay（威视）、瑞萨、富士电机、罗姆半导体、塞米控，其公司概况如表所示。

序号	厂商	公司概况
1	英飞凌	全球最大的功率半导体厂商，涵盖了 IGBT、功率 MOSFET、各种交流-直流，直流-交流转换等
2	安森美	产品系列包括电源、模拟、数字信号处理、混合信号、先进逻辑、时钟管理等
3	意法半导体	从分离二极管和晶体管到复杂的 SOC 器件，主要用于通讯、汽

		车电子等领域
4	三菱电机	产品主要用于源及电气系统、工业自动化、信息与通讯系统、电子器件和家用电器等
5	东芝	主要产品有特种 IC、IGBT、MOSFET、功率二极管、功率三极管等
6	Vishay	主要生产二极管、功率 MOSFET、光电器件、整流器、以及功率模组
7	瑞萨	提供 LCD 驱动器集成电路、智能卡微控制器、射频集成电路、大功率放大器、混合信号集成电路、系统级芯片等产品
8	富士电机	主要产品为驱动控制器、不间断电源、自动化及仪器仪表产品、低压/中高压电器产品
9	罗姆半导体	以功率 IC 为主，分立器件有二极管、碳化硅功率器件等
10	塞米控	产品系列包括芯片、二极管、晶闸管、IGBT 功率模组、功率组件等

我国功率半导体领域有华润微、扬杰科技、士兰微、华微电子、比亚迪半导体、捷捷微电、台基股份、苏州固锴、瑞能半导体、中车时代、燕东微电子、乐山无线电、银河微电、派瑞股份等 IDM 企业，设计企业有无锡新洁能、斯达半导、中科君芯、东微半导体等，制造端有华虹半导体、中芯国际等。部分公司概况如表所示。

序号	厂商	公司概况
1	杨杰科技	光伏二极管领域龙头，国内功率器件市占率第二
2	捷捷微电	消费电子领域晶闸管龙头，国内晶闸管市场占有率 45%以上
3	台基股份	工控领域晶闸管龙头
4	华微电子	中功率 IGBT 行业国内领导者
5	士兰微	中高功率 IGBT 国内领军企业
6	斯达半导	国内 IGBT 龙头，IGBT 全球前十
7	华润微	国内营业收入最大、产品系列最全的 MOSFET 厂商
8	闻泰科技	安世半导体分立器件、逻辑器件、MOSFET 器件的主要产品处于全球领先地位
9	苏州固锔	国内整流器件龙头、全球最大的二极管生产商之一

1.5 数据检索

1.5.1 检索地域

本项目检索全球专利，检索截止日为 2021 年 4 月 30 日。

1.5.2 专利数据库

在本项目中，使用 Derwent Innovation、Orbit、Wips Global、Patentics、IncoPat、万象云等数据库，检索该技术领域在全球及中国的专利申请情况，分析了该项技术的专利布局、主要申请人以及具体技术分布等。

Derwent Innovation 数据库

Derwent Innovation (德温特创新平台) 为科睿唯安 (Clarivate Analytics)

公司提供的专利检索和分析工具,包括来自全球 100 多个国家/地区的专利信息。

1、德温特世界专利索引 (Derwent World Patents Index, 简称 DWPI) , 包含世界各地 50 家专利授予机构的增值专利信息, 涵盖 6000 多万个专利和近 3000 万个同族专利。增值的专利信息包括: 经技术专家改写的标题和摘要, 德温特专利分类、手工代码, 德温特专利家族以及标准专利权人代码。

2、德温特专利引文索引 (Derwent Patents Citation Index, 简称 DPCI) , 包含 1900 多万个同族专利的增值专利引用信息。

3、专利全文: 美国、欧洲、WIPO、英国、加拿大、法国、德国、日本、韩国等专利全文数据。

4、全球 100 多个专利授予机构的标准化专利数据。

5、INPADOC 著录项目、法律状态和专利家族数据。

6、美国专利法律状态信息。

Orbit 数据库

Orbit 系统涵盖了从 19 世纪以来 99 个国家、地区或专利机构的近 8000 万件专利文献, 其中 21 个国家有文本化全文和引证信息, 超过 4000 万件可检索的专利家族数据, 超过 2000 万件专利附图, 欧洲、美国、日本数据与官方同步更新, 中国、韩国、印度等延迟一周。

Orbit 系统包含多个数据库, 其中核心数据库如下:

- 1、 FamPat 数据库: 以发明为基础的世界同族专利数据库
- 2、 PlusPat 数据库: 以发明为基础的世界国别专利数据库
- 3、 全文数据库: 以发明为基础的世界国别全文

4、 日本法律状态数据库：以发明为基础的法律状态数据库

5、 外观专利数据库：以外观设计为基础的国别专利数据库

Patentics 数据库

Patentics 共收录了全球 112 个国家、地区和组织的专利数据，同时还收录了引文、同族、法律状态等数据信息，收录总量超过 1.4 亿条。其中包括中、美、欧、日、韩、德以及世界知识产权组织（WIPO）等世界主要国家、地区和组织的专利全文数据，并持续扩充更新。

Incopat 数据库

Incopat 是国内首家具有自主知识产权的深加工专利数据库，实现了对全球 117 个国家的专利数据收录并进行了全中文的翻译。

万象云

万象云专利数据库收录了 105 个国家/地区的专利数据，拥有 60 个国家/地区的法律状态信息，每周更新。

1.6 技术分解

本报告所使用的技术分解表如下，二级技术分支待确定。

技术主题	一级技术分支	二级技术分支	三级技术分支
功率半导体器件	MOSFET	结构	栅极
			终端结构
			超级结
			隔离结构

			沟道
			源-漏
			集成结构
			接触孔
		工艺	沟槽栅
			终端工艺
			源-漏
			沟道
			超级结
			漂移区
			栅氧化层
			沟槽
			结构
	沟槽栅		
	载流子存储层		
	载流子增强层		
	场截止层		
	工艺	集电区	
		发射区	
IGBT	保护结构		
	背面工艺		

			场截止层
			保护层
			发射区
			缓冲区
	双极晶体管		
	晶闸管		
	功率二极管		
	氮化物功率半导体器件		
	封装		
	检测		
	模块/电路		

第2章 全球以及中国专利竞争态势分析

本章针对功率半导体器件的全球专利布局情况进行分析。经过检索和筛选，共得到相关专利 119368 件（共 67425 专利族）。下面将针对所述专利分析申请态势、布局范围、竞争对手、法律状态、诉讼信息等。

2.1 全球专利态势分析

2.1.1 申请趋势分析

功率半导体器件领域在全球范围内的专利申请整体呈增长趋势，2009 年以来专利申请量急剧增长，近几年专利申请趋于稳定。

图 2-1-1 为功率半导体器件领域在全球范围内的专利申请分布图，相关专利的申请从 1949 年之后可大致分为三个阶段：（1）1949-1980 年，功率晶体管相关专利最早出现 1949 年，然而直到 1958 年美国通用电气公司研发出世界上第一个工业用普通晶闸管，标志着电力电子技术的诞生，这一阶段的专利以晶闸管技术为主；之后在很长一段时间内，功率半导体器件相关专利申请量缓慢增长，这一阶段属于技术萌芽期；（2）1980-2008 年属于功率半导体器件技术进入快速发展阶段，MOSFET、IGBT、BJT 等新技术纷涌而至，专利申请量明显增长；（3）2009 年以后，功率半导体器件技术日益成熟，同时功率半导体器件的应用逐渐从传统工业制造和 4C 产业向新能源、电力机车、智能电网等领域发展，市场规模大幅增加，专利申请量也出现急增，并在 2012 年达到高峰，随后几年专利申请量都较为稳定。需要提及的是，对于 2019-2021 年的专利申请数

量，由于存在部分申请需要 18 个月之后才能公开的情况，因此专利申请数量统计不全。

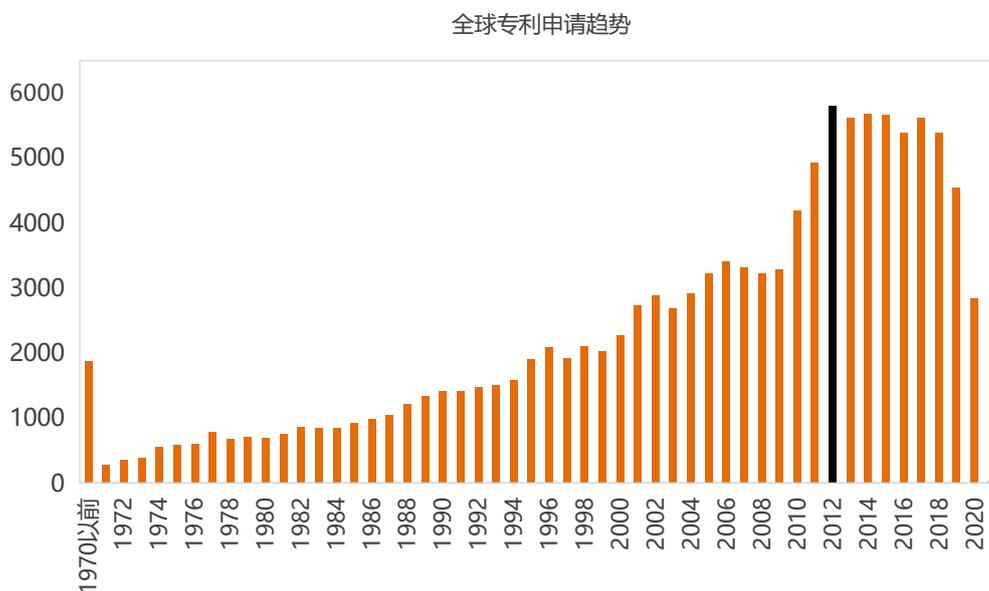


图 2-1-1 专利申请趋势（申请号合并）

2.1.2 申请来源地域分析

日本和美国是主要的专利来源国，美日申请的专利占比达到 57%，中国申请的专利占比 13%。

图 2-1-2 为功率半导体器件领域在全球范围内的专利来源统计图，可以看到日本是最大的专利来源国，该国申请人在全球范围内共申请专利接近 5 万件，美国申请专利超过 2 万件，美日申请的专利占比达到 57%；中国及德国申请专利均超过 1 万件，中国申请的专利占比 13%；其他国家或地区的申请量则较低。

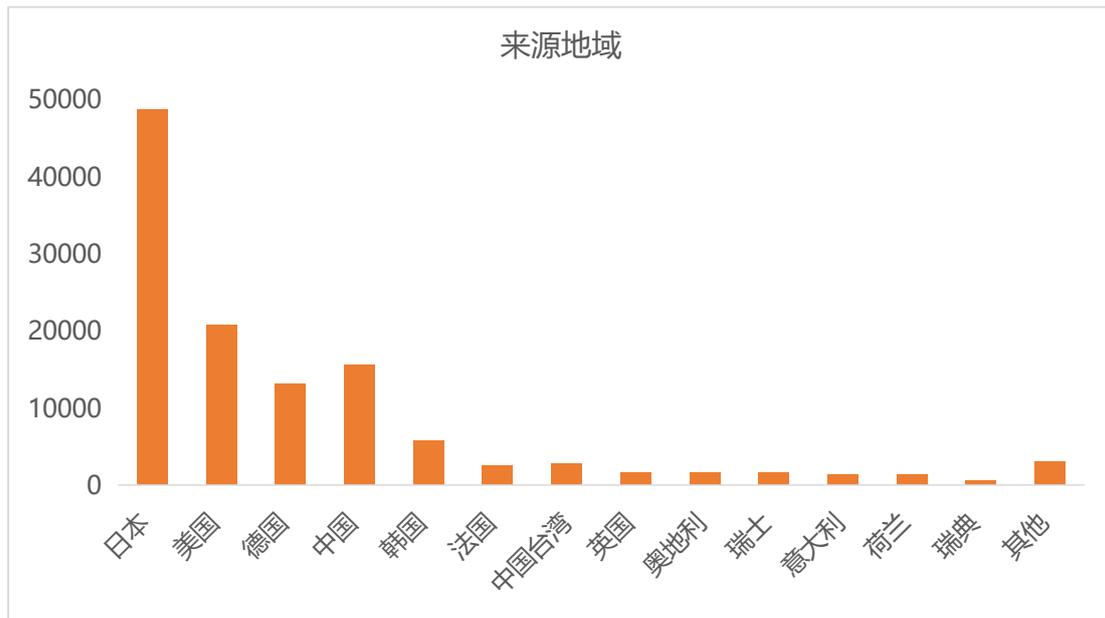


图 2-1-2 专利来源统计 (申请号合并)

2.1.3 专利布局目标地域

美国和日本布局专利最多，其次是中国。

图 2-1-3 是功率半导体器件领域在全球范围内的专利布局地域分布图，可以看到作为半导体工业领域的强国，美国和日本布局专利是最多，均超过 2.5 万件，其次是中国，布局专利超过 2 万件，其他国家和地区布局专利则较少。虽然中国在功率半导体领域起步较晚，发展落后于美、日等技术强国，近些年来中国高校、企业和研究院所也积极投身功率半导体领域，专利产出增多。

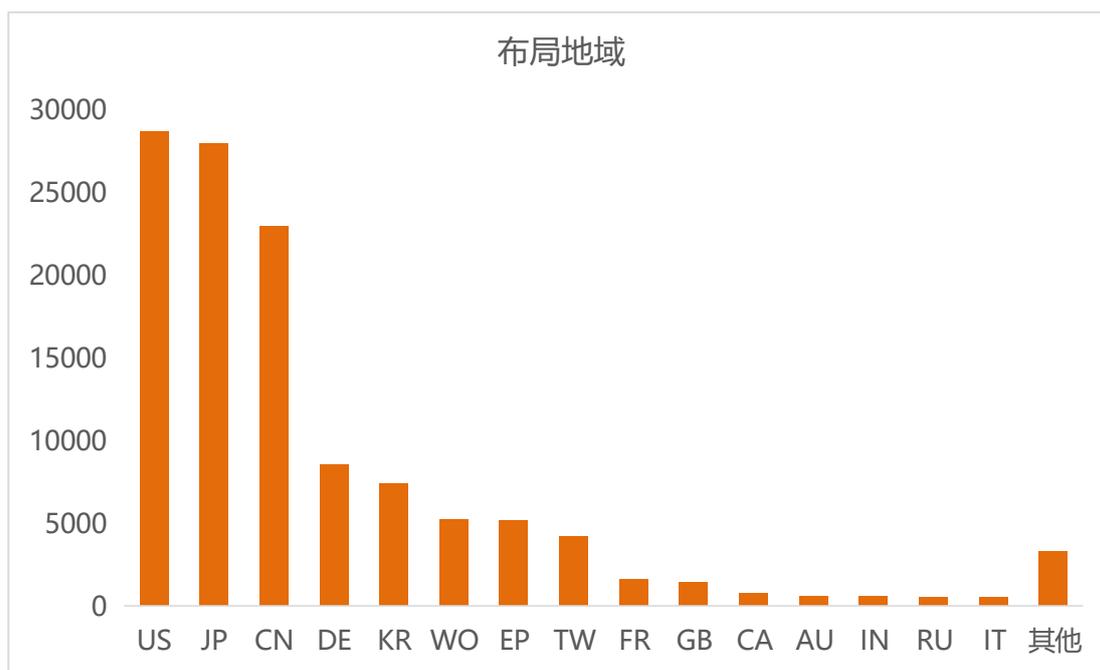


图 2-1-3 专利布局地域分布 (申请号合并)

2.1.4 主要申请人

美国企业英飞凌专利申请量最多，日本企业三菱电机和东芝申请量次之。

图 2-1-4 统计了专利申请量大于 500 的申请人，可以看到，美国企业英飞凌专利申请量为 4025 项，位于第一位；日本企业三菱电机和东芝专利申请量分别为 3581 和 3047 项，位列第二、第三；排名第四到八位分别是富士电机、日立、日本电气、松下电气、瑞萨电子，这些均是日本企业；可见，美国和日本在功率半导体领域技术雄厚。中国申请人中，电子科技大学与华虹集团分别申请专利 852 和 649 项。

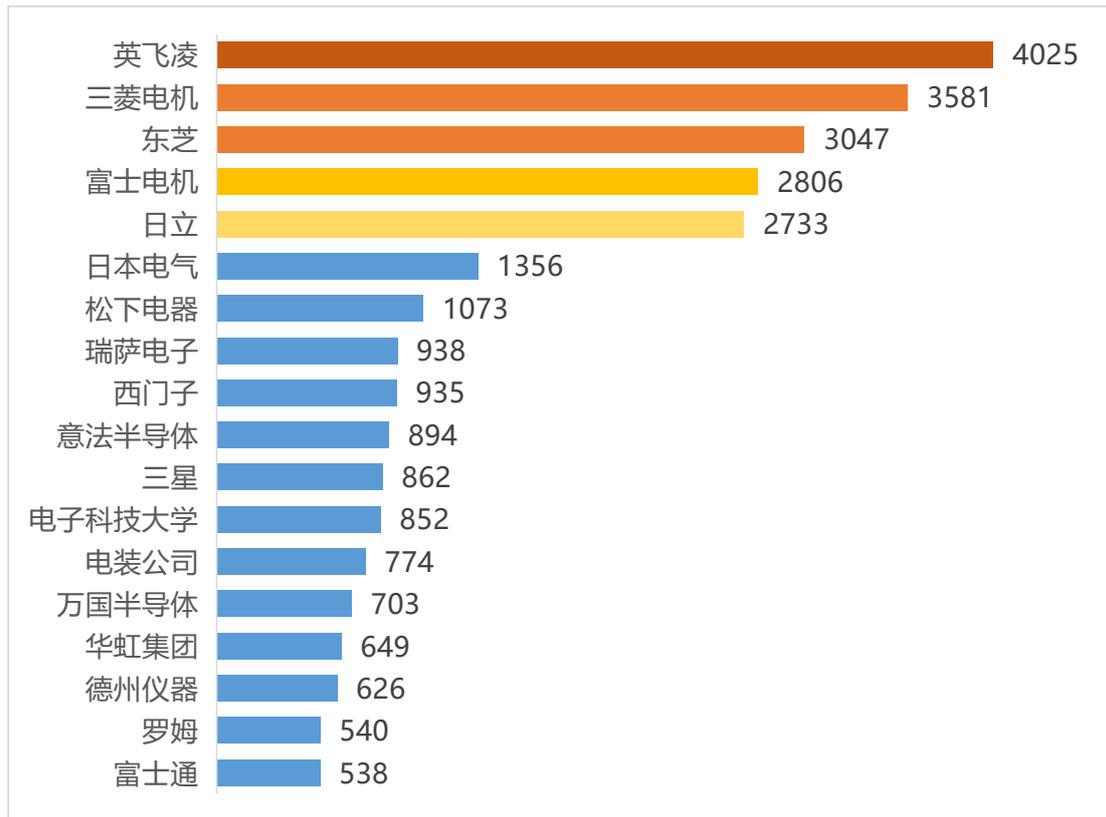


图 2-1-4 申请人统计 (同族合并, 申请量大于 500)

2.1.5 专利类型

功率半导体器件相关专利在全球范围内专利类型以发明专利为主, 发明专利占比达到 95%。

图 2-1-5 是功率半导体器件领域在全球范围内的专利类型统计图, 可以看到, 发明专利占比为 95%, 实用新型专利占比仅为 5%, 外观设计专利仅有 23 件。一方面, 半导体领域技术门槛较高, 另一方面, 国外一些国家没有实用新型专利, 这可能造成发明专利占比较高。

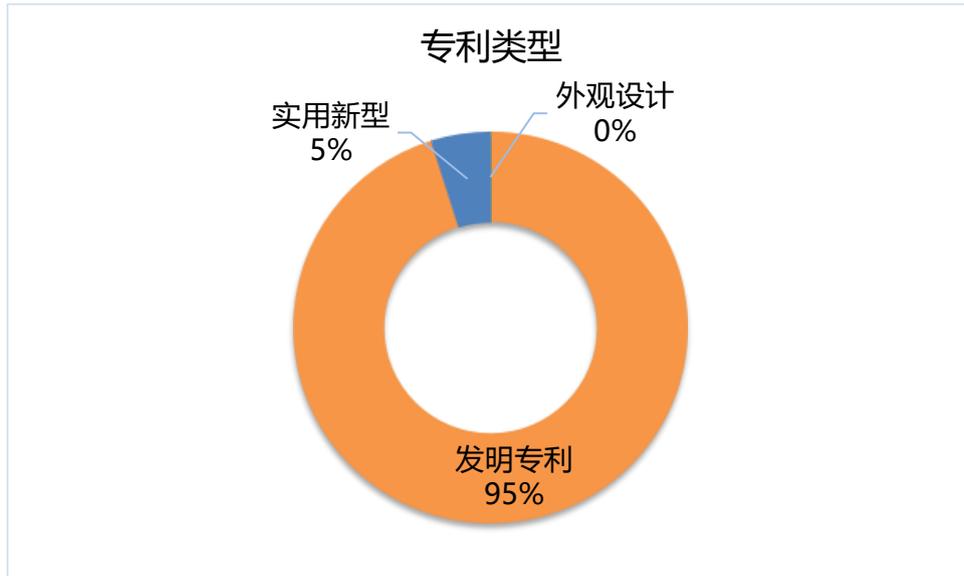


图 2-1-5 专利类型统计 (申请号合并)

2.1.6 全球法律状态分析

功率半导体器件领域在全球范围内的有效专利较多, 需要防范专利侵权风险。

图 2-1-6 是功率半导体器件领域在全球范围内的专利有效性统计图, 有效专利 (授权专利) 占比为 31%, 审中专利占比为 9%; 该领域有较多的有效专利, 需要防范专利侵权风险; 该领域有较多失效专利, 占比为 42%, 因为该领域发展早, 很多专利已过有效期。另一方面由于专利生命周期的后期专利维护成本较高, 未缴年费导致的失效也占有较高比例。由于数据来源不全, 部分专利无法确定法律状态。

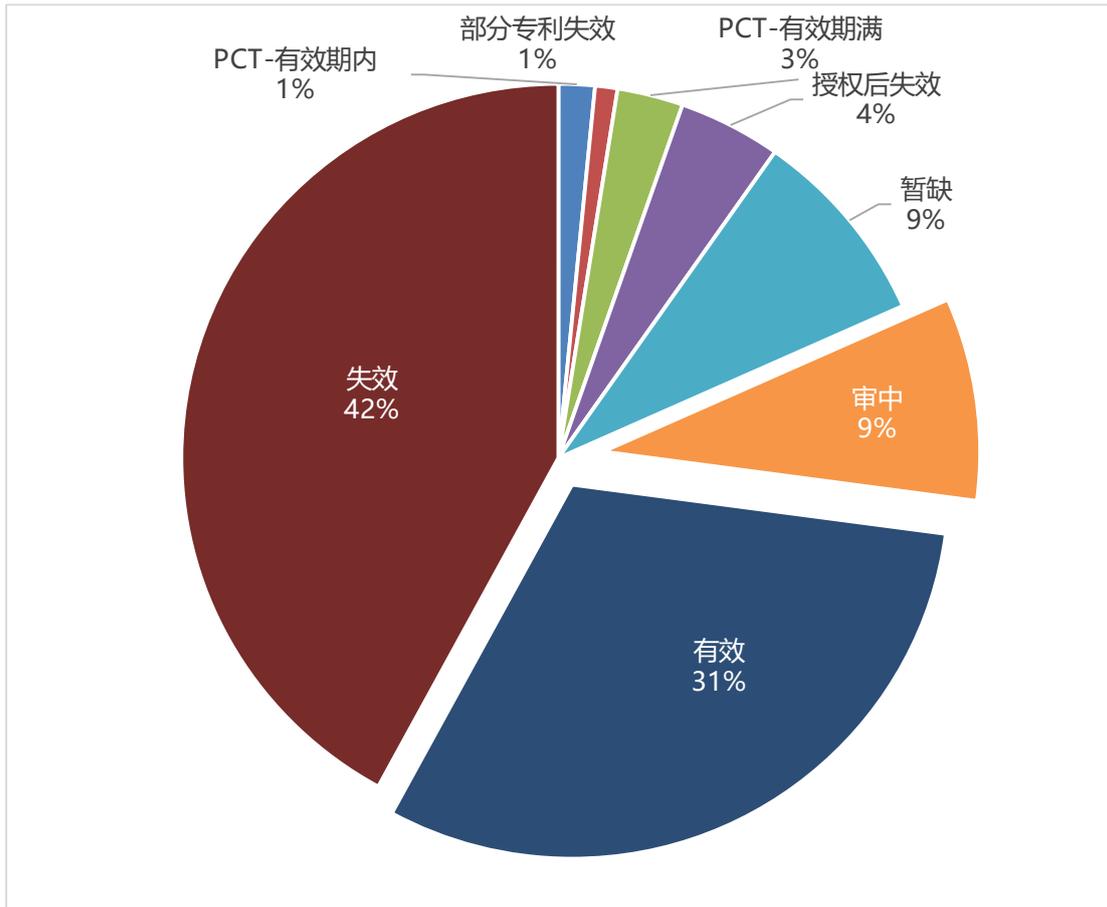


图 2-1-6 专利有效性统计 (申请号合并)

2.1.7 技术分支分析

功率半导体器件领域在全球范围内的专利技术分支中，模块/电路相关专利占比最大，MOSFET 技术占比为 17%、IGBT 技术占比 8%。

图 2-1-7 是功率半导体器件领域在全球范围内的专利技术分支统计图，可以看到，模块/电路相关专利占比最大，达到 25%；其次是 MOSFET 技术相关专利，占比为 17%，双极晶体管相关专利占比 10%，IGBT、晶闸管及二极管相关专利分别占比 8%，宽禁带功率半导体器件相关专利占比 10%，除此之外，封装和检测技术方面也分布有少量专利。

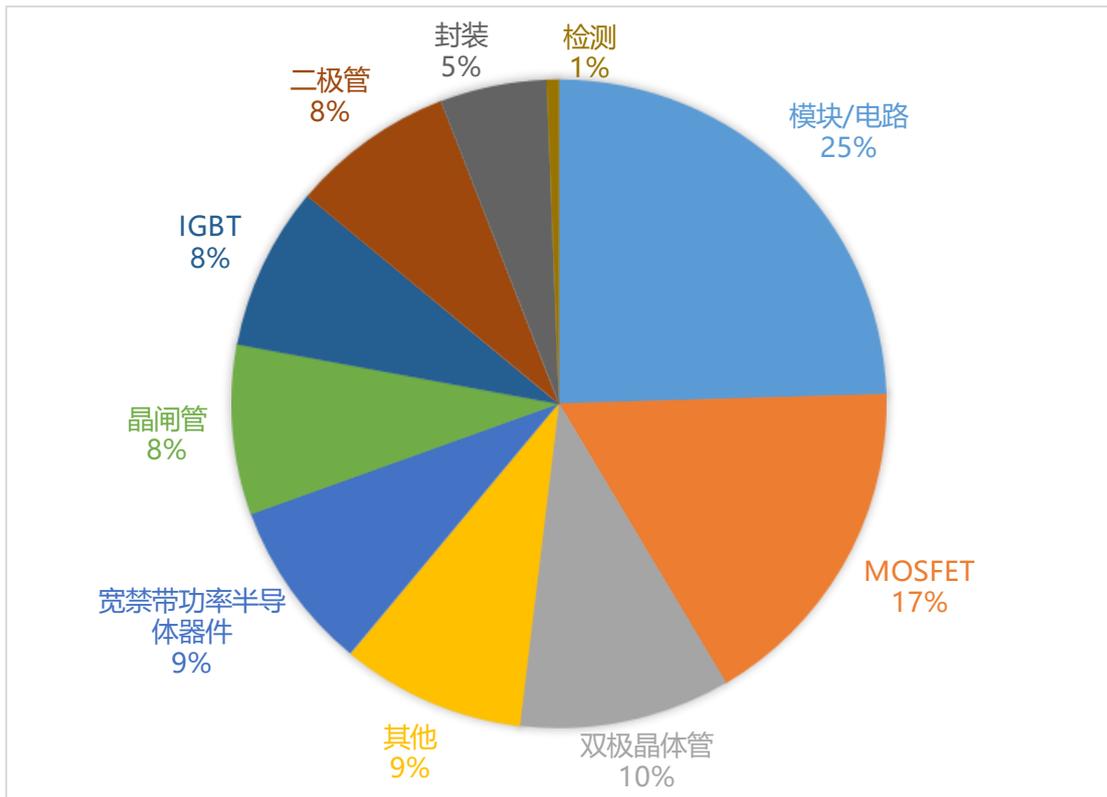


图 2-1-7 专利技术分支统计 (申请号合并)

2.2 中国专利态势分析

本节将对功率半导体器件相关的中国公开专利进行分析,包括申请态势、技术来源、法律状态、布局类型等。经过检索和筛选,共得到 23055 件中国专利。

2.2.1 申请趋势分析

中国专利申请落后于全球专利,专利申请呈增长态势。

图 2-2-1 为功率半导体器件相关中国专利申请态势,中国专利申请呈增长态势。在 1985 年中国才开始出现功率半导体器件的相关专利,较全球专利晚 30 余年;在 2000 年以前,专利申请量较小,且不超过 100 件;在 2001 年以后,专利申请量开始逐渐增长,在 2009 年以后,专利申请量开始快速增长,在

2013 年达到小高峰之后趋于稳定。功率半导体器件在 5G、汽车、电子产品等领域的广泛应用，2017 年以来专利申请又出现明显增长。

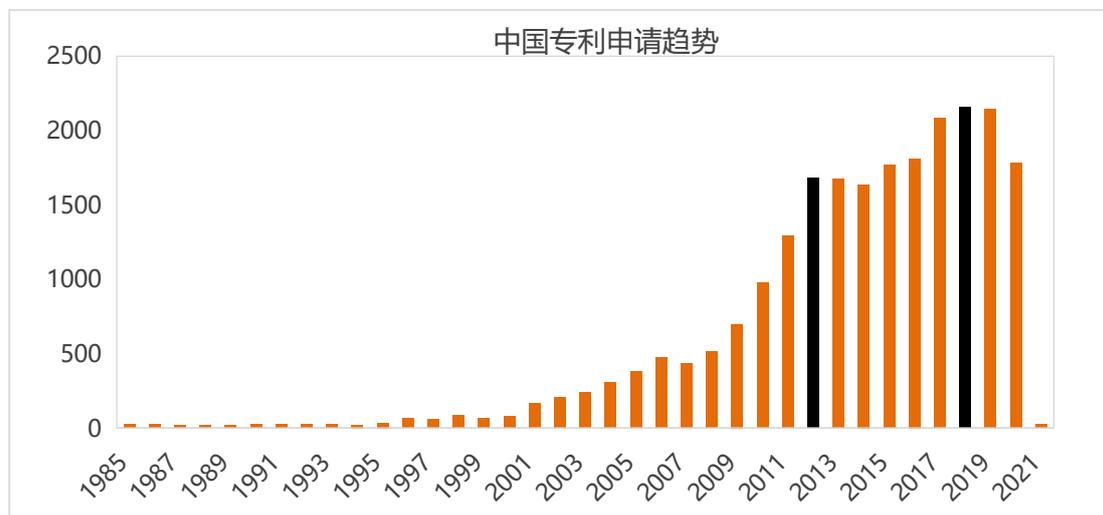
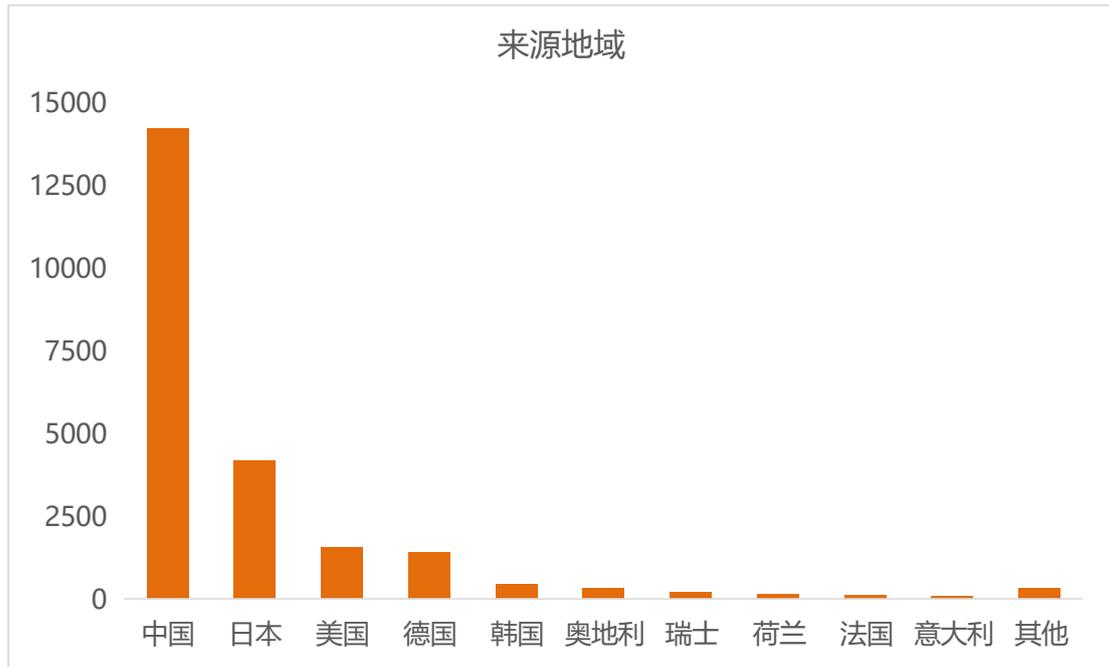


图 2-2-1 中国专利申请态势分析

2.2.2 申请来源地域分析

功率半导体器件相关中国专利主要来自国内，除此之外，日本、美国和德国是主要的技术来源。

图 2-2-2 为功率半导体器件相关中国专利来源统计，中国专利的申请人主要为国内的申请人，除本土申请人外，主要来自日本、美国和德国。其他国家的专利输入较少。

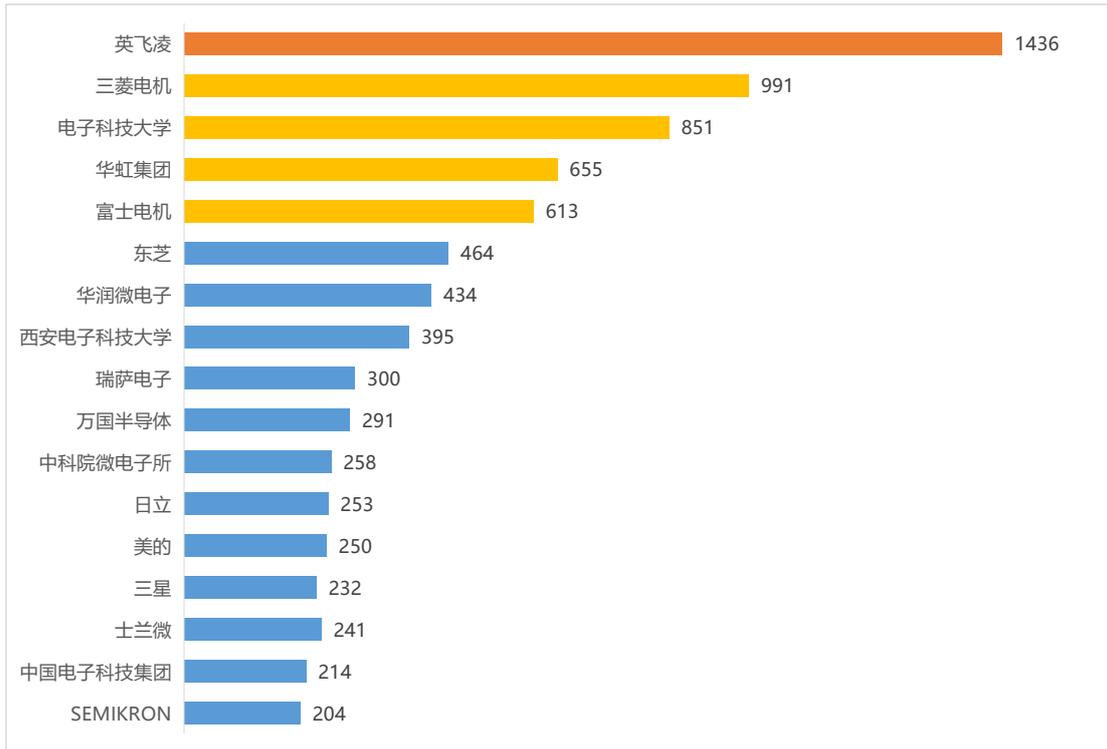


2-2-2 中国专利来源统计

2.2.3 主要申请人

国内申请人以高校和企业为主，中国企业里华虹集团、华润微电子、士兰微申请专利较多。

对中国公开专利的申请人进行统计，如图 2-2-3，可以看到英飞凌和三菱电机在中国申请专利位列第一和第二，是国外主要的专利技术输出者。国内申请人以高校和企业为主，其中电子科技大学申请专利最多，其申请了 851 件专利，其次为华虹集团申请了 655 件、华润微电子申请 434 件、西安电子科技大学申请 395 件、中科院微电子所申请 258 件、士兰微申请 241 件、中国电子科技集团申请 214 件。因此国内公司在研发时可以考虑与高校和科研院所进行合作，提高研发效率。

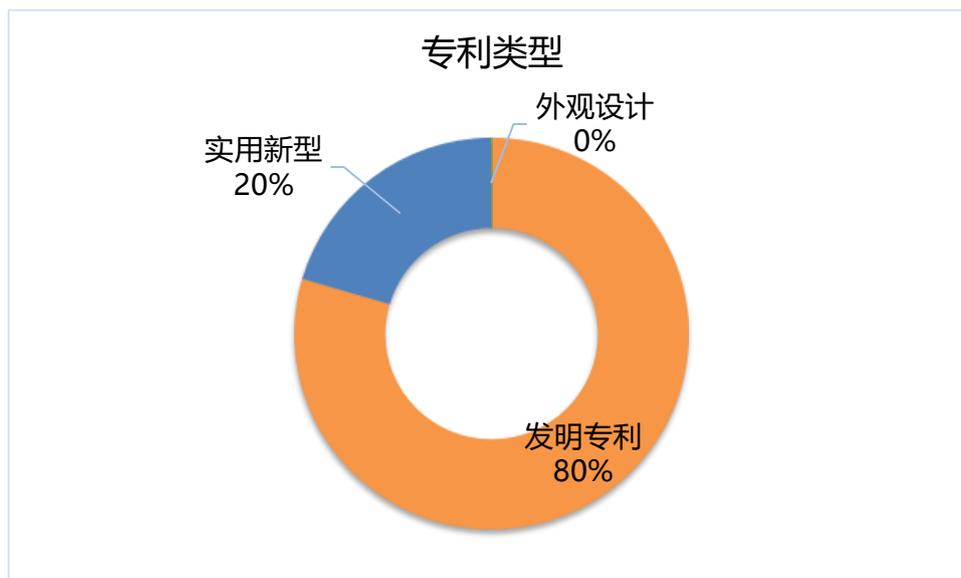


2-2-3 中国专利申请人统计 (200 件以上)

2.2.4 专利类型

功率半导体器件领域在中国的中国专利以发明专利为主，发明专利占比为 80%。

图 2-2-4 是功率半导体器件领域在中国的专利类型统计图，可以看到，发明专利占比为 80%，实用新型专利占比为 20%，外观设计专利仅有 18 件。实用新型专利相较于发明专利，审查周期短，能够较快获得授权，以便申请人对技术进行保护和维权。



2-2-4 中国专利类型统计

2.2.5 中国法律状态分析

中国专利有效专利占比较高，失效专利以未缴年费为主。

图 2-2-5 是功率半导体器件领域在中国的法律状态统计图，可以看到，有效专利占比达到 48%，审中专利占比为 22%，中国专利有效专利占比较高。失效专利占比 30%，失效专利以未缴年费为主，其次是撤回和驳回导致的专利失效。其中避重放弃是指同时申请了发明专利和实用新型专利时，由于专利不能重复授权，需要放弃已授权的使用新型来使发明专利获得授权。

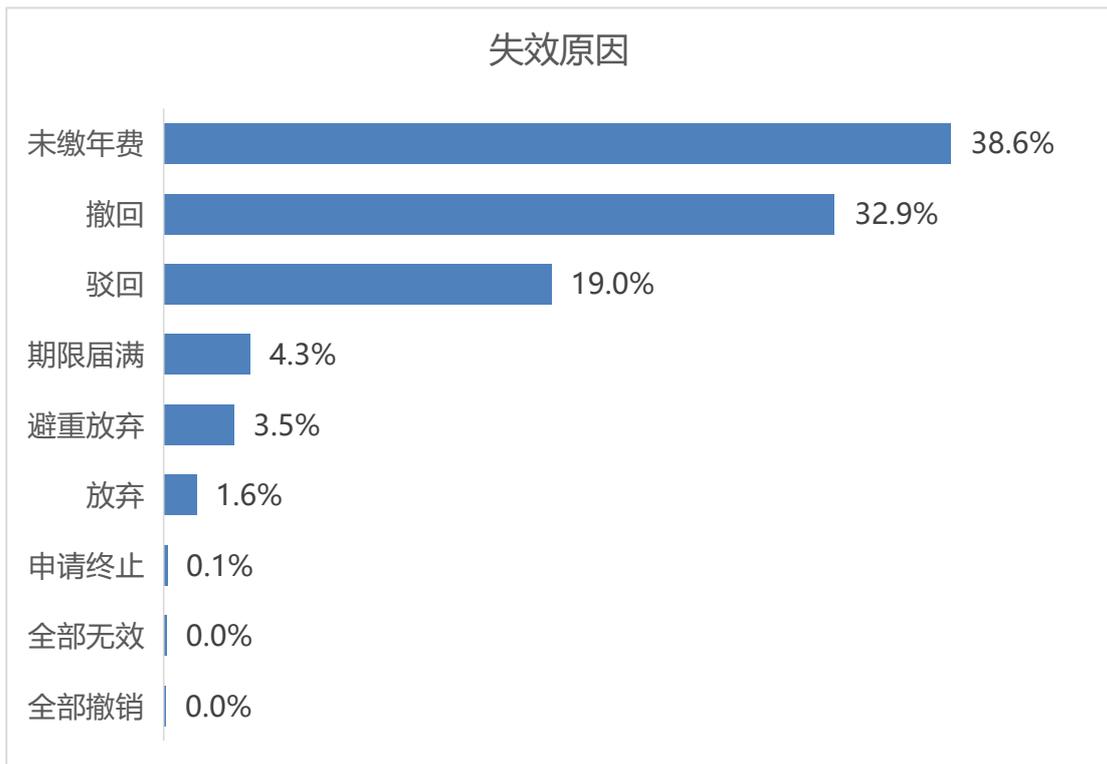
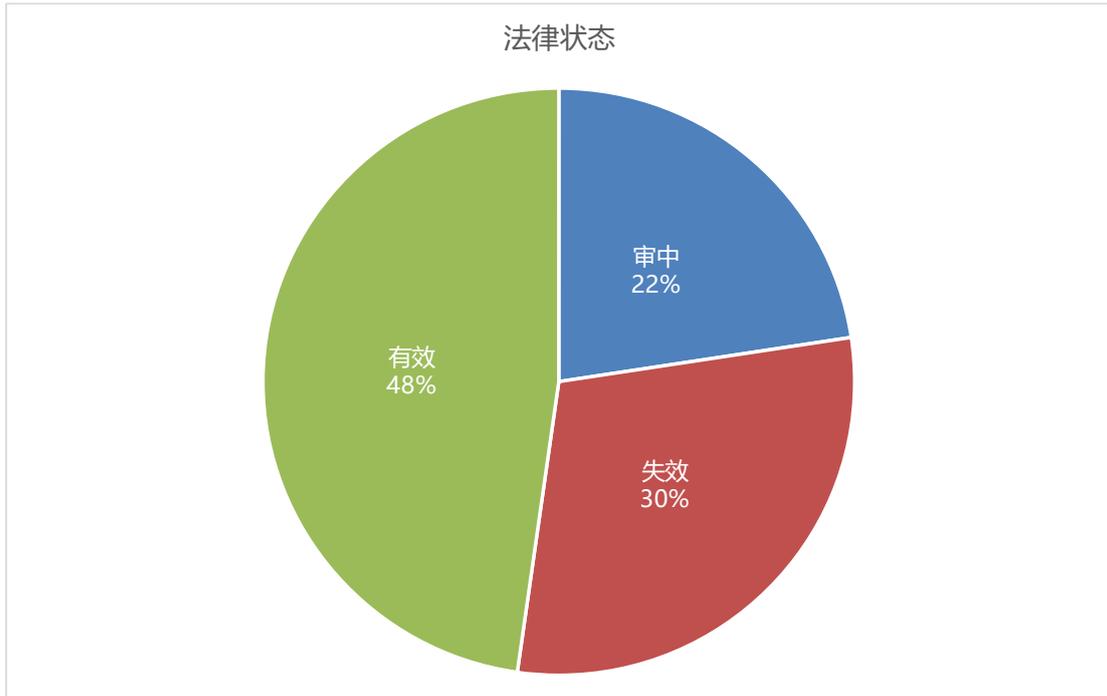


图 2-2-5 中国专利法律状态统计

2.2.6 技术分支分析

功率半导体器件领域在中国的专利技术分支中，模块/电路相关专利占比最

大, MOSFET 技术占比为 19%、IGBT 技术占比 12%。

图 2-2-6 是功率半导体器件领域在中国的专利技术分支统计图,可以看到,模块/电路相关专利占比最大,达到 22%;其次是 MOSFET 技术相关专利,占比为 19%, IGBT 技术相关专利占比为 12%, 功率二极管及宽禁带功率半导体器件分别占比 10%, 晶闸管、双极晶体管相关专利占比为 5%~6%, 除此之外,封装和检测技术方面也分布有少量专利。

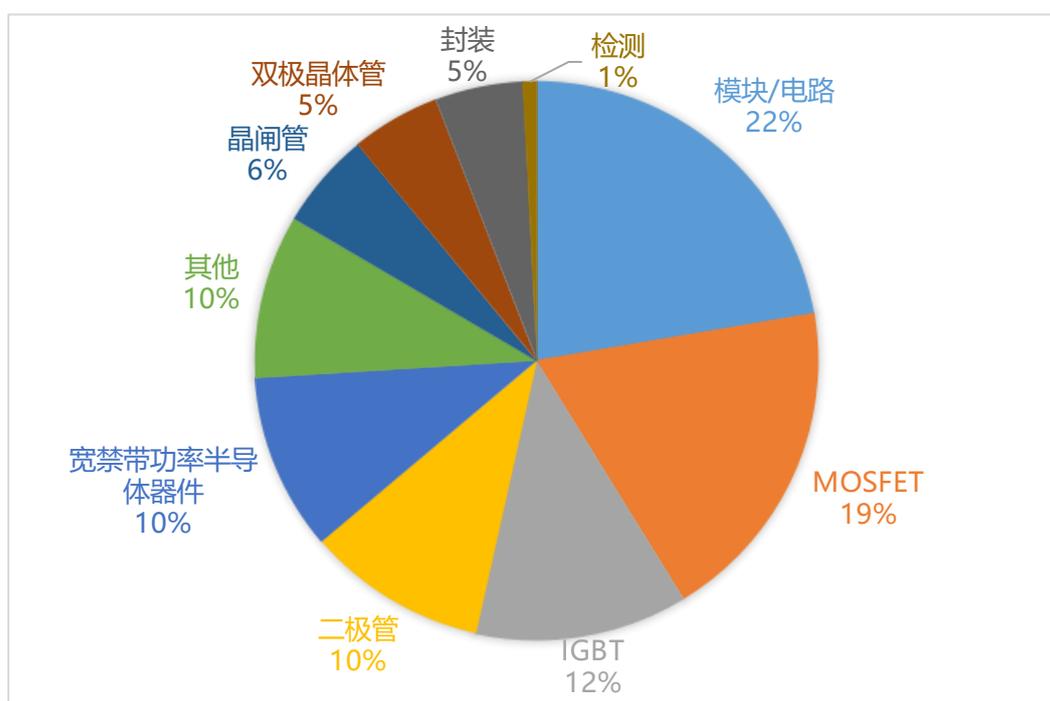


图 2-2-6 中国专利技术分支统计

2.3 小结

从专利申请态势来看,功率半导体器件领域在全球范围内的专利申请整体呈增长趋势,2009 年以来专利申请量急剧增长,近几年专利申请趋于稳定;中国专利申请落后于全球专利,专利申请也呈增长态势。

从专利技术来源来看,在全球范围内,日本和美国是功率半导体器件领域主

要的专利来源国，美日申请的专利占比达到 57%，中国申请的专利占比 13%；而功率半导体器件相关中国专利主要来自国内，除此之外，日本、美国和德国是主要的技术来源。

从专利布局地域来看，在全球范围内，美国和日本布局专利最多，其次是中国。

从全球范围内申请人来看，美国企业英飞凌专利申请量最多，日本企业三菱电机和东芝申请量次之；英飞凌、三菱电机也在中国布局较多专利；国内申请人以高校和企业为主，中国企业里华虹集团、华润微电子、士兰微申请专利较多。

从专利类型来看，功率半导体器件相关专利在全球范围内专利类型以发明专利为主，发明专利占比达到 95%；在中国的中国专利以发明专利为主，发明专利占比为 80%。

从法律状态来看，功率半导体器件领域在全球范围内的有效专利较多，需要防范专利侵权风险；中国专利有效专利占比也较高，失效专利以未缴年费为主。

从技术分支来看，功率半导体器件领域在全球范围内的专利技术分支中，模块/电路相关专利占比最大，MOSFET 技术占比为 17%、IGBT 技术占比 8%。在中国的技术分支中，模块/电路相关专利占比最大，MOSFET 技术占比为 19%、IGBT 技术占比 12%。

从诉讼信息来看，功率半导体器件领域专利诉讼频发，其中有 29 件专利涉及侵权诉讼，包括 MOSFET、IGBT、晶闸管、氮化物功率半导体器件等。

第3章 竞争对手分析

3.1 华润微电子

华润微电子是华润集团半导体投资运营平台，曾先后整合了华科电子、中国华晶、上华科技等中国半导体先驱，是中国本土老牌半导体企业。华润微电子早在 2004 年就曾在香港联交所上市，2011 年完成私有化退市。2020 年于上交所科创板挂牌上市。

华润微电子拥有国内领先的拥有芯片设计、晶圆制造、封装测试等全产业链一体化经营能力，产品聚焦于功率半导体、智能传感器与智能控制领域。华润微电子的主营业务可分为产品与方案、制造与服务两大业务板块。

产品与方案业务板块聚焦于功率半导体、智能传感器与智能控制领域，主要由华润华晶、重庆华微、华润矽科、华润矽威、华润半导体等子公司运营。其中，华润华晶和重庆华微主要负责分立器件产品及应用的研发、设计、生产与销售，华润矽科、华润矽威和华润半导体主要负责 IC 产品及应用的研发、设计与销售。

制造与服务业务主要提供半导体开放式晶圆制造、封装测试等服务，主要由控股子公司华润上华、华润安盛、华润赛美科运营。华润上华主要负责公司晶圆制造服务，华润安盛和华润赛美科主要负责公司的封装和测试服务。此外，公司新设的矽磐微电子，正在开发面板级封装技术。

3.1.1 申请趋势分析

华润微的专利申请始于 2009 年，申请高峰出现在 2013 年，近三年专利申

请量有回落趋势。

在功率半导体器件领域，华润微电子在全球申请专利 703 件，其申请趋势如下图所示，在 2009 年-2013 年，专利申请量逐年增加，尤其是在 2013 年出现急速增长，达到申请量高峰，这一阶段以 MOSFET 和二极管技术布局为主。此后，申请量出现明显回落。第二波增长开始于 2015 年，在 2017 年达到申请量小高峰。需要提及的是，对于 2019-2021 年的专利申请数量，由于存在部分申请需要 18 个月之后才能公开的情况，因此专利申请数量统计不全。

结合华润微的发展历程来看，2009 年，功率 DMOS 器件系列产品开发及产业化项目验收，2013 年，华润微电子在原华润华晶产品与技术中心的基础上，正式成立了公司功率半导体研发中心，2017 年，控股华润微电子（重庆）有限公司，在上海成立华润微电子控股公司。

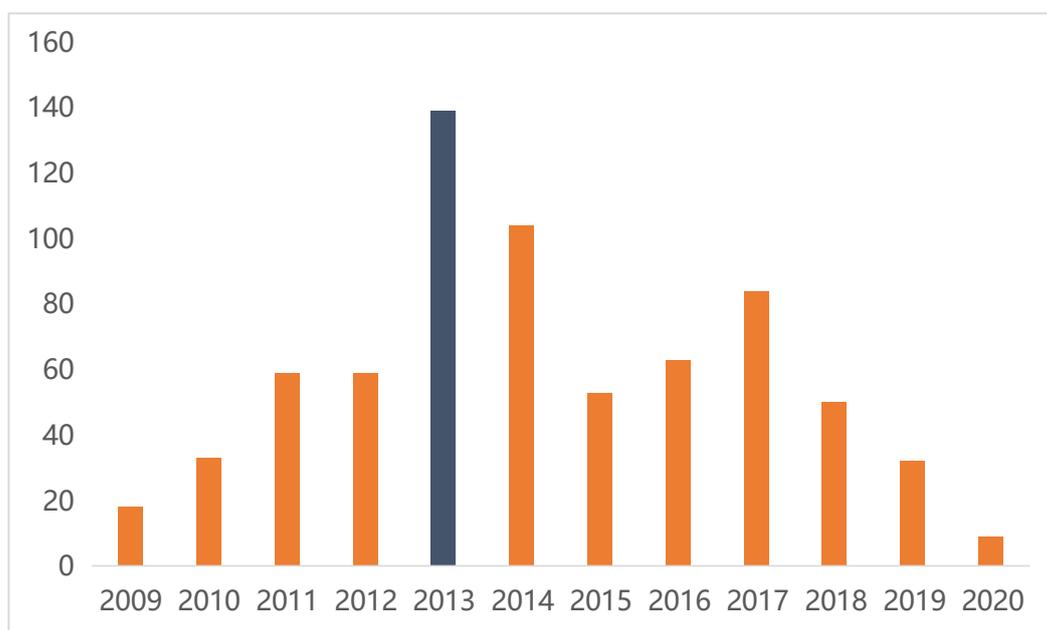


图 3.1-1 申请趋势（申请号合并）

3.1.2 地域布局分析

华润微的专利主要布局在中国，除本土之外还在美国、日本、欧洲、韩国布局有少量专利。MOSFET 和 IGBT 技术是除了本土之外重点布局的技术。

从地域布局来看，华润微的专利主要布局在中国，此外，还主要通过 PCT 申请向其他国家和地区布局，布局重点在美国、日本、欧洲、韩国，其他国家或地区没有布局。

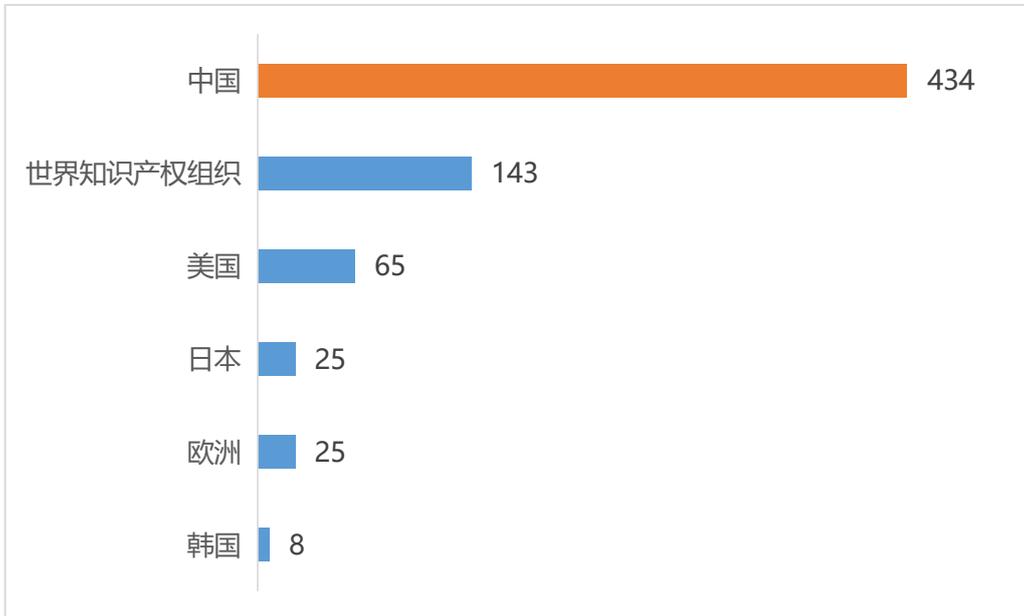


图 3.1-2 地域布局 (申请号合并)

简单同族个数在 5 以上的国家或地域布局的专利技术如表所示，其有 14 项涉及 MOSFET 技术，有 12 项涉及 IGBT 技术，少量涉及模块/电路、晶闸管、二极管等技术。稳定性、抗 ESD 能力、降低成本是器件性能上提升的重点，其他主要性能有改善反向恢复特性、改善开关速度、降低导通电阻、提高击穿电压、降低导通压降、良率、兼容性等。

公开(公告)号	申请日	技术分类	技术效果	简单同族个数	同族国家
CN107785366B	2016/8/31	MOSFET	稳定性	8	JP, WO, CN, EP, US
CN107785411B	2016/8/31	MOSFET	稳定性	8	JP, WO, CN, EP, US
CN107785367A	2016/8/31	MOSFET	稳定性	8	JP, WO, CN, EP, US
CN107527811B	2016/6/21	IGBT	降低导通电阻, 改善开关速度	10	JP, KR, WO, CN, EP, US
CN105810583B	2014/12/30	IGBT	良率, 稳定性	7	JP, WO, CN, US
CN105789286B	2014/12/22	IGBT	降低导通电阻, 改善开关速度	9	JP, WO, CN, EP, US
CN105789298B	2014/12/19	IGBT	改善开关速度	9	JP, WO, CN, EP, US
US9595520B2	2014/6/9	IGBT	改善反向恢复特性	6	WO, CN, EP, US
CN105097795B	2014/5/4	MOSFET	可靠性	9	JP, KR, WO, CN, US
CN104425247B	2013/8/27	IGBT	降低导通压降	8	WO, CN, EP, US
CN104425246B	2013/8/27	IGBT	降低导通压降	9	WO, CN, EP, US
CN104425245B	2013/8/23	IGBT	降低工艺难度	8	WO, CN, EP, US
CN104347397B	2013/7/23	IGBT	生产效率	8	WO, CN, EP, US
CN104253154A	2013/6/28	IGBT	改善反向恢复特性	6	EP, US, CN, WO
CN104253151B	2013/6/27	IGBT	改善反向恢复特性	8	WO, CN, EP, US
EP2717317B1	2013/4/27	晶闸管	抗 ESD 能力	12	JP, WO, CN, EP, US
JP6189964B2	2012/10/22	其他	抗 ESD 能力	7	JP, WO, CN, US
EP2763171A1	2012/8/9	晶闸管	抗 ESD 能力	6	WO, EP, US

CN103578972B	2012/7/26	IGBT	良率	8	WO, CN, EP, US
CN103489912B	2012/6/12	其他	提高击穿电压	9	JP, WO, CN, EP, US
EP2630658B1	2011/12/5	晶闸管	抗 ESD 能力	8	WO, CN, EP, US
CN102110686A	2010/12/17	模块/电路	抗 ESD 能力	8	WO, CN, EP, US
CN102544092A	2010/12/16	MOSFET	降低导通电阻	6	JP, WO, CN, EP, US
CN104517832B	2013/9/27	二极管	降低成本	6	WO, CN, US
JP2019531598A	2017/8/31	MOSFET	稳定性	8	JP, WO, EP, CN, US
CN106158921A	2015/4/10	MOSFET	稳定性	7	WO, CN, JP, US
CN105826371A	2015/1/5	MOSFET	提高击穿电压, 降低成本	10	JP, KR, WO, CN, EP, US
CN103928513A	2013/1/15	MOSFET	降低成本	8	WO, CN, EP, US
CN103578919A	2012/7/26	MOSFET	降低漏电	6	WO, CN, EP, US
CN103187279A	2011/12/29	MOSFET	提高击穿电压	9	WO, KR, CN, JP, US
CN102820227A	2011/6/8	MOSFET	稳定性	10	CN, US, EP, JP, WO
CN102054774A	2009/10/28	MOSFET	兼容性	9	JP, WO, CN, EP, US
CN102034708A	2009/9/27	MOSFET	降低成本	6	CN, JP, US, KR, WO

3.1.3 专利类型

华润微的专利以发明专利为主，发明专利占比为 96%，实用新型专利占比 4%。

从专利类型来看，华润微的专利以发明专利为主，发明专利占比为 96%，

实用新型专利占比 4%，仅有少量外观设计。可见，华润微更偏向申请发明专利。

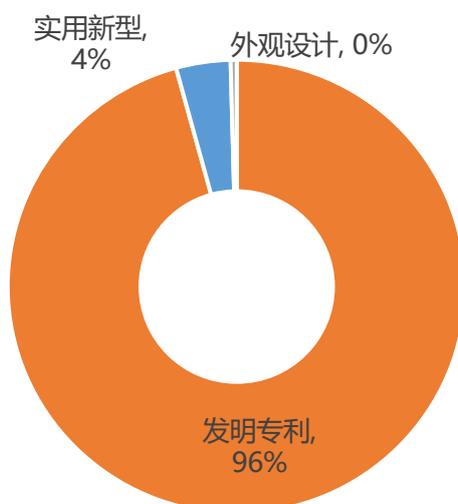


图 3.1-3 专利类型 (申请号合并)

3.1.4 法律状态及运营分析

华润微的有效专利（授权专利）占比达到 48%，失效专利中主要是由于驳回导致的失效。

从法律状态来看，华润微的有效专利（授权专利）占比达到 48%，审中专利占比为 11%，失效专利中主要是由于驳回导致的失效，还有由于撤回、放弃、期限届满导致的专利失效。此外，华润微申请 PCT 的专利较多，PCT-有效期满的专利占比达到 20%。

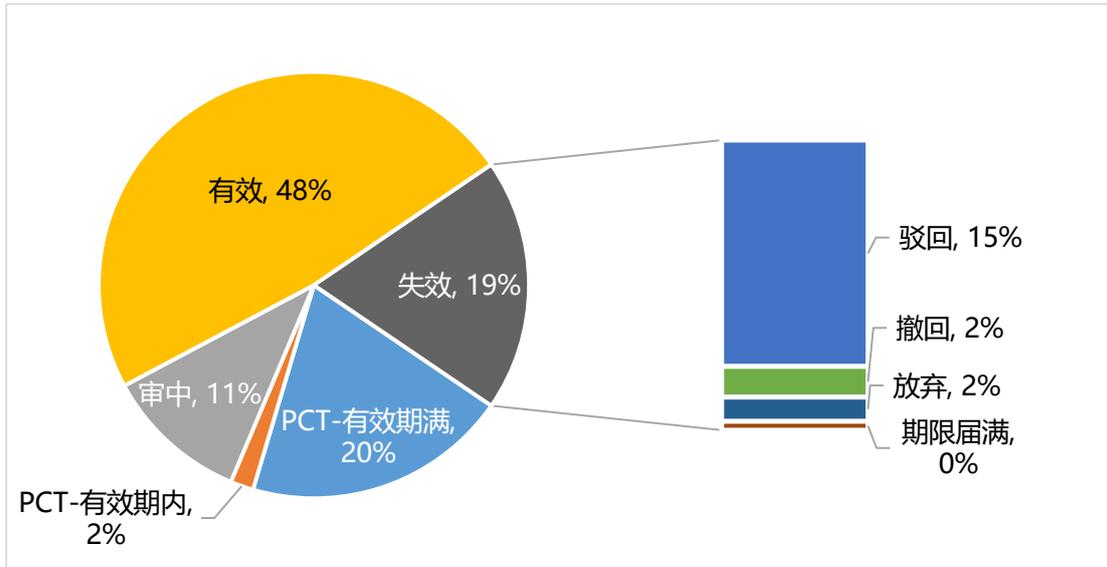


图 3.1-4 法律状态 (申请号合并)

暂无诉讼、质押、许可专利，受让一件专利 CN102184956B，转让人是中山大学和江苏华功半导体有限公司。

公开 (公告) 号	标题	申请日	转让人	受让人
CN102184956B	纵向导通的 GaN 增强型 MISFET 器件及其制作方法	2011/4/15	中山大学; 江苏华功半导体有限公司	江苏华功半导体有限公司; 华润微电子控股有限公司

3.1.5 技术分支分析

华润微在 MOSFET 技术上专利占比最大, 为 33%, 其次是 IGBT、二极管、模块/电路技术, 而封装、宽禁带功率半导体器件、双极晶体管、检测、晶闸管等技术专利占比较少。在 MOSFET 技术上, 栅极区域及终端结构的改进是华润微研究的重点; 在 IGBT 技术上, 背面工艺和场截止层工艺、终端结构和沟槽栅技术是华润微研究的重点。从申请趋势来看, MOSFET 技术是华润微近三年研究的热点。

华润微电子在功率半导体器件领域的 703 件专利属于 450 项专利族（一项技术在多个国家的布局视为一件）。按照 MOSFET、IGBT、二极管、双极晶体管、宽禁带功率半导体器件、模块/电路、封装、检测等技术进行分类，MOSFET 技术上专利占比最大，为 33%，其次，IGBT 占比为 21%，二极管技术占比 12%，模块/电路技术占比 7%；封装、宽禁带功率半导体器件、双极晶体管、检测、晶闸管等技术专利占比较少。

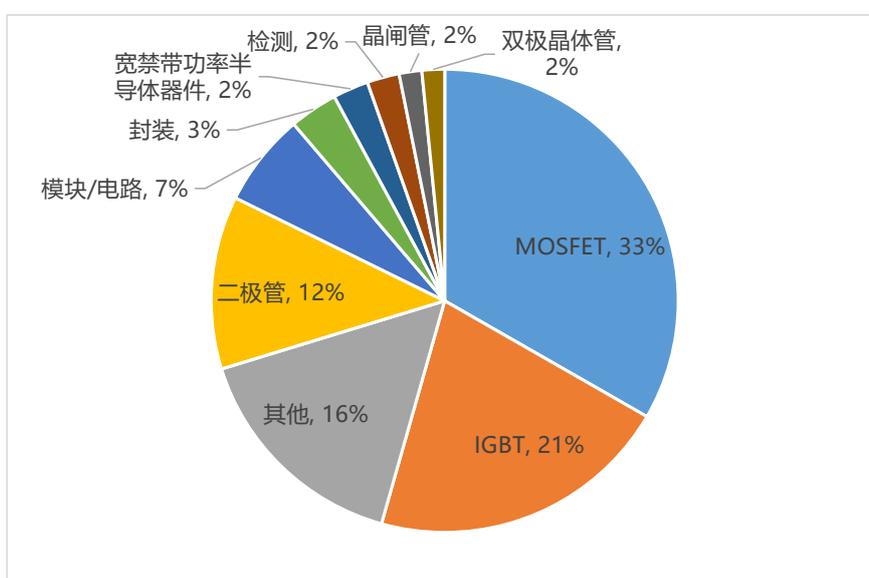


图 3.1-5 技术分支布局情况（同族合并）

在 MOSFET 技术上，华润微在器件结构和工艺上均有布局，但以器件结构的布局为主；在器件结构上，栅极区域、终端结构的改进是华润微研究的重点，布局专利分别达到 30 项和 20 项，其在超级结、隔离结构、沟道、源区、集成结构、漏区、接触孔、埋层、漂移区、辅助电极技术等其他技术上也布局有少量专利。在工艺上，栅极区域包括栅氧化层、沟槽栅及栅极是布局的重点，在保护结构、超级结、沟槽等工艺上也布局少量专利。

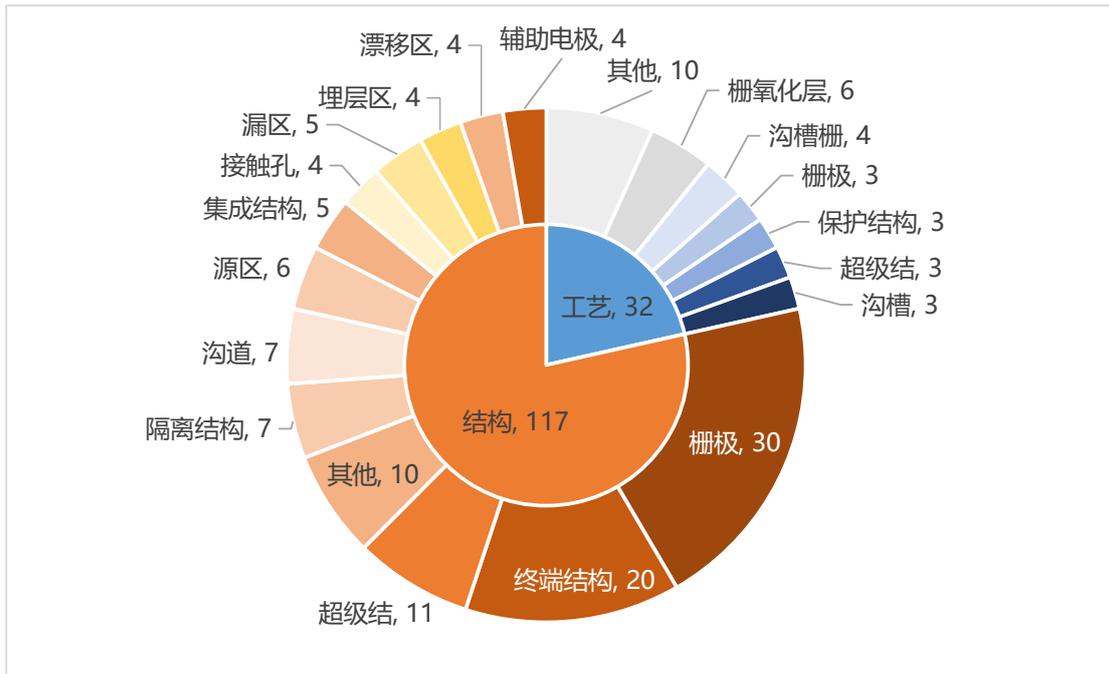


图 3.1-6 MOSFET 分支布局情况 (同族合并)

在 IGBT 技术上，华润微在器件结构和工艺上均有布局，但以制备工艺的布局为主；在制备工艺上，背面工艺和场截止层工艺的改进是华润微研究的重点，布局专利分布达到 22 项和 15 项，此外，在保护层、支撑衬底、发射区等技术上也有少量布局；在器件结构上，终端结构、沟槽栅是其布局的重点，此外在集电区、沟槽结构、保护结构、载流子存储层和载流子增强区、发射区技术上也布局有少量专利。

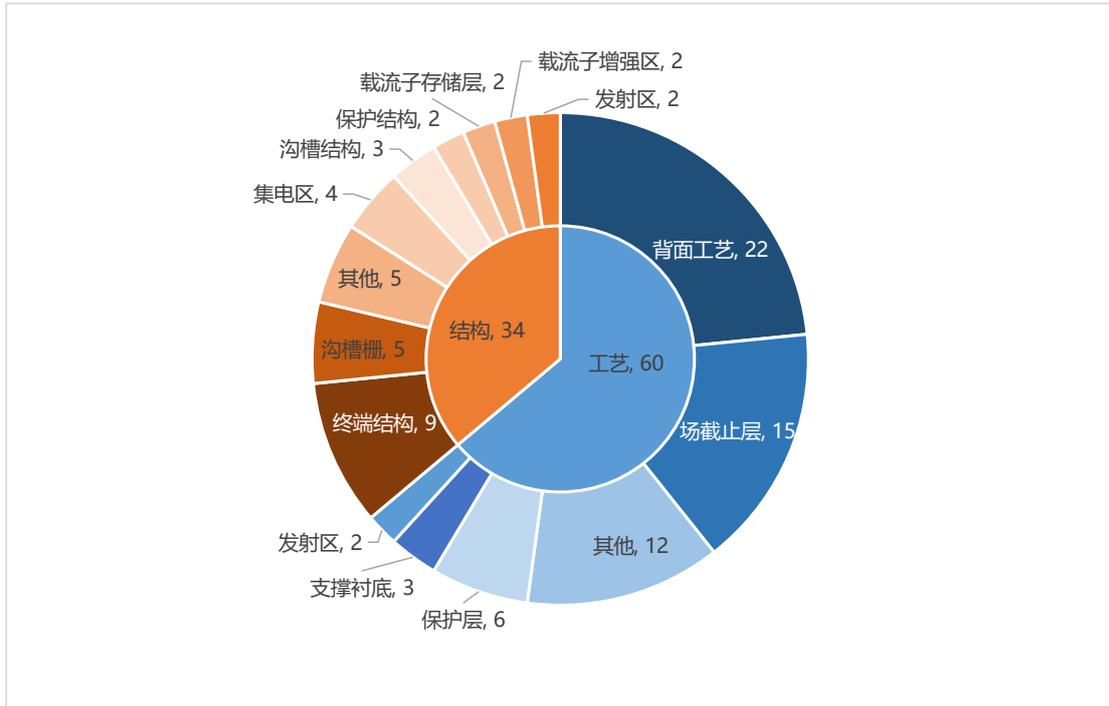


图 3.1-7 IGBT 分支布局情况 (同族合并)

在二极管技术上，华润微在器件结构和工艺上均有布局，但以器件结构的布局为主；在器件结构上，沟槽的改进是华润微研究的重点，布局专利达到 17 项，其在势垒区、终端结构、隔离结构等技术上也布局有少量专利。在工艺上，铂掺杂工艺是布局的重点，在 p 阱、势垒区等工艺上也布局少量专利。

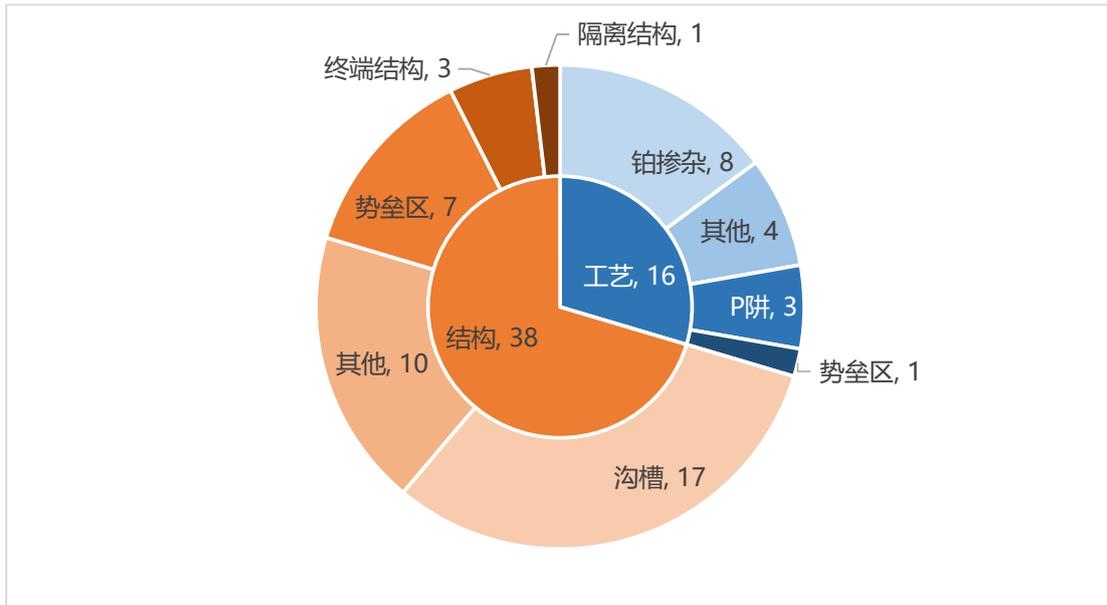


图 3.1-8 二极管分支布局情况 (同族合并)

从申请趋势来看, 华润微从 2009 年开始在 MOSFET 和模块/电路技术上布局专利, 专利申请具有较好的连续性。2017 年在 MOSFET 上申请的专利达到 25 项, 近三年仍布局了较多专利。2017 年在模块/电路上申请的专利达到 9 项, 但是近三年布局专利较少。IGBT 技术主要申请于 2010 至 2017 年间, 近三年布局专利较少。二极管技术专利申请始于 2011 年, 在 2014 年达到顶峰 20 项, 近三年布局专利较少。宽禁带功率半导体器件、晶闸管、双极晶体管、检测、封装等技术布局专利数量较少, 近三年布局的专利也不多。

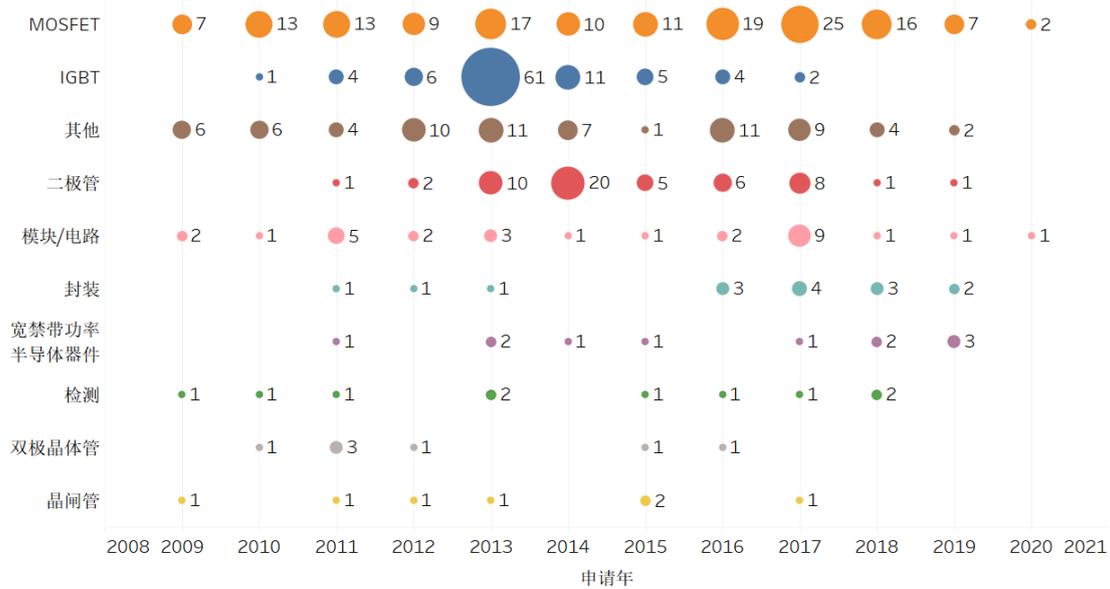


图 3.1-9 技术分支申请情况 (同族合并)

3.1.6 技术功效分析

降低成本、可靠性、提高击穿电压、降低导通电阻是华润微关注的重点，布局专利较多。在 MOSFET 技术上，关注的重点是提高击穿电压、降低导通电阻；在 IGBT 技术上，关注的重点是降低成本、降低导通压降、可靠性；在二极管技术上，关注的重点是降低导通压降、降低成本、可靠性、提高击穿电压；在模块/电路技术上，关注的重点是降低成本、小型化。从时间维度来看，在 MOSFET 技术上，降低导通电阻、提高击穿电压、小型化是华润微近三年在器件性能上研究的重点，士兰微近三年在 IGBT、二极管、模块/电路性能上布局热度较低。

总的来看，在器件性能上降低成本、可靠性、提高击穿电压、降低导通电阻是华润微研究的重点，布局专利较多；其次在良率、小型化、降低导通压降、稳定性、生产效率、抗 ESD 能力、改善开关速度、改善反向恢复特性上面也布局了较多专利；在均匀性、减小寄生、降低工艺难度、提高键合质量、散热、防干

扰、测试效率、测试精度、兼容性、增大工艺窗口、改善电流传输、降低膝电压、降低夹断电压、仿真精度、安全性等性能上，华润微的关注度较低，布局专利较少。

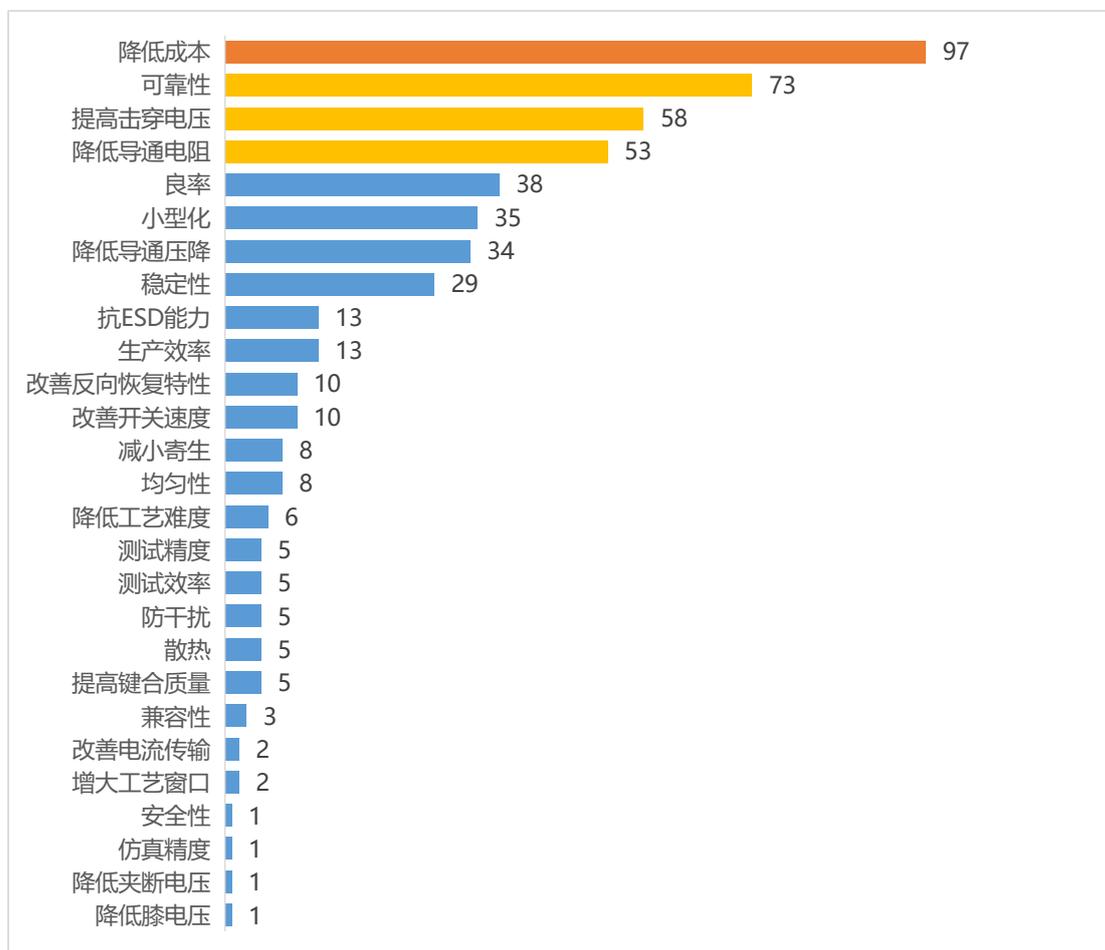


图 3.1-10 技术功效分布情况

在 MOSFET 技术上，提高击穿电压、降低导通电阻是华润微最关注的器件性能，布局专利分别是 45 项、39 项；在稳定性、可靠性、降低成本、小型化上也布局了较多专利；在良率、改善开关速度、防干扰、生产效率、减小寄生、兼容性、均匀性、抗 ESD 能力、测试效率、改善电流传输上布局专利较少。从时间维度来看，降低导通电阻、提高击穿电压、小型化是华润微近三年在器件性能上研究的重点。

技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
	降低导通电阻	1	4	1	2	6	5		6	8	8	3	1
提高击穿电压		5	2	3	3	2	3	5	5	6	4	1	39
稳定性			5				1	5	7	2	1		21
可靠性	1			1	4	2	3	3	4	1	1		20
降低成本	1	3	4	2	1	1	4		1	2			19
小型化		3			1	1	1	1	5	4	1		17
良率	3	1	2		2	1							9
改善开关速度				2	1			1				1	5
防干扰				1				2	1				4
生产效率								1	3				4
减小寄生		1								1	1		3
兼容性	1							1					2
均匀性					2								2
抗ESD能力			1					1					2
测试效率					1								1
改善电流传输							1						1

图 3.1-11 MOSFET 技术功效分布情况

在 IGBT 技术上, 降低成本是华润微最关注的器件性能, 布局专利是 37 项; 在降低导通电阻、可靠性、改善反向恢复特性、良率也布局了较多专利; 在改善开关速度、降低工艺难度、小型化、降低导通电阻、生产效率、提高击穿电压、稳定性、减小寄生、降低膝电压上布局专利较少。从时间维度来看, 华润微近三年在 IGBT 器件性能上的布局热度较低。

技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
	降低成本		1	3	3	24	4	2					
降低导通压降					11	1	2						14
可靠性					9	1	1		1				12
改善反向恢复特性					5	2							7
良率				3	3	1							7
改善开关速度						2	1	1					4
降低工艺难度					4								4
小型化			1		1			1	1				4
降低导通电阻			1			1		1					3
生产效率					3								3
提高击穿电压					1	1		1					3
稳定性					1	1		1					3
减小寄生					2								2
降低膝电压								1					1

图 3.1-12 IGBT 技术功效分布情况

在二极管技术上, 降低导通压降、降低成本、可靠性、提高击穿电压是华润微重点关注的器件性能, 布局专利分别是 18 项、13 项、13 项、10 项; 在小型

化、改善反向恢复特性、稳定性、增大工艺窗口、降低导通电阻、提高生产效率上布局专利较少。从时间维度来看，华润微近三年在二极管器件性能上的布局热度较低。

	技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
二极管	降低导通压降					6	6	2	2	2				18
	降低成本				2	2	6		1	2				13
	可靠性					4	4	1	1	1	1	1		13
	提高击穿电压			1			6	3						10
	小型化						2			1				3
	改善反向恢复特性						2							2
	稳定性										1	1		2
	增大工艺窗口										2			2
	降低导通电阻									1				1
	生产效率									1				1

图 3.1-13 二极管技术功效分布情况

在模块/电路技术上，降低成本、小型化是华润微重点关注的器件性能，布局专利分别是 10 项、7 项；在可靠性、散热、提高键合质量、改善开关速度、减小寄生、降低工艺难度、抗 ESD 能力、良率、提高击穿电压上布局专利较少。从时间维度来看，华润微近三年在模块/电路性能上的布局热度较低。

	技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
模块/电路	降低成本	2		4	1	1			1	1				10
	小型化			1		1		1		2	1		1	7
	可靠性						1			2				3
	散热									2				2
	提高键合质量								1	1				2
	改善开关速度									1				1
	减小寄生									1				1
	降低工艺难度				1									1
	抗ESD能力	1												1
	良率												1	1
	提高击穿电压					1								1

图 3.1-14 模块/电路技术功效分布情况

在封装技术上，华润微在良率、散热、降低成本、抗 ESD 能力、可靠性、测试精度、生产效率、提高键合质量上布局有少量专利。

封装	技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
	良率									1	1	1		3
	散热									2	1			3
	降低成本					1					1			2
	抗ESD能力								1	1				2
	可靠性								1			1		2
	测试精度								1					1
	生产效率			1										1
	提高键合质量					1								1

图 3.1-15 封装技术功效分布情况

在检测技术上，华润微在测试精度、测试效率、良率、降低成本、可靠性上布局有少量专利。

检测	技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
	测试精度	1		1				1			1			4
	测试效率								1	1				2
	良率		1			1								2
	降低成本										1			1
可靠性					1								1	

图 3.1-16 检测技术功效分布情况

在双极晶体管技术上，华润微在可靠性、降低成本、良率、提高击穿电压、小型化上布局有少量专利。

双极晶体管	技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
	可靠性		1	1						1				3
	降低成本			1										1
	良率			1										1
	提高击穿电压					1								1
小型化								1					1	

图 3.1-17 双极晶体管技术功效分布情况

在晶闸管技术上，华润微在抗 ESD 能力、降低成本、提高击穿电压、小型化上布局有少量专利。

晶闸管	技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
	抗ESD能力	1		1	1	1								4
	降低成本								1					1
	提高击穿电压								1					1
小型化										1			1	

图 3.1-18 晶闸管技术功效分布情况

在宽禁带功率半导体器件技术上，华润微在降低导通电阻、可靠性、降低导通压降、改善反向恢复特性、兼容性、减小寄生、小型化上布局有少量专利。

技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
	降低导通电阻			1							1	1	
可靠性									1		2		3
降低导通压降				1						1			2
改善反向恢复特性										1			1
兼容性							1						1
减小寄生						1							1
小型化					1								1

图 3.1-19 宽禁带功率半导体器件技术功效分布情况

在其他技术上，华润微在可靠性、良率、降低成本上布局有较多专利，在均匀性、抗 ESD 能力、生产效率、提高击穿电压、稳定性、测试效率、提高键合质量、安全性、防干扰、仿真精度、改善电流传输、减小寄生、降低导通电阻、降低工艺难度、降低夹断电压、小型化上布局有少量专利。

技术功效	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
	可靠性	2		1	4	6			2	1			
良率	2	2	1	1	3	2	1	1	1	1			15
降低成本	2		1	2	2	1		2	2	1			13
均匀性		1		1		1			2	1			6
抗ESD能力				1				2	1				4
生产效率		2			1						1		4
提高击穿电压		1		1		1							3
稳定性			1		1			1					3
测试效率								2					2
提高键合质量									2				2
安全性			1										1
防干扰										1			1
仿真精度						1							1
改善电流传输						1							1
减小寄生									1				1
降低导通电阻											1		1
降低工艺难度				1									1
降低夹断电压						1							1
小型化								1					1

图 3.1-20 其他技术功效分布情况

3.1.7 重点技术分析

3.1.7.1 MOSFET 技术

在 MOSFET 器件上，华润微布局的重点在栅极和终端技术上，其次是布局在超级结技术上。

终端技术

在终端技术中，在 2010-2012 年，提出采用在场限环中间增加隔离沟槽的技术，还提出了多个场限环的设计；在 2015 年，还设计了插入式阱延伸至与 P 型场限环相接触；此外，还对场板做了改进，采用了导体场板和半绝缘电阻场板；在 2016-2017 年，设计了埋层、漂移区、衬底的三层 RESURF 结构；此后，场板技术成为了华润微布局的重点，设计了多级场板、孔场板技术。

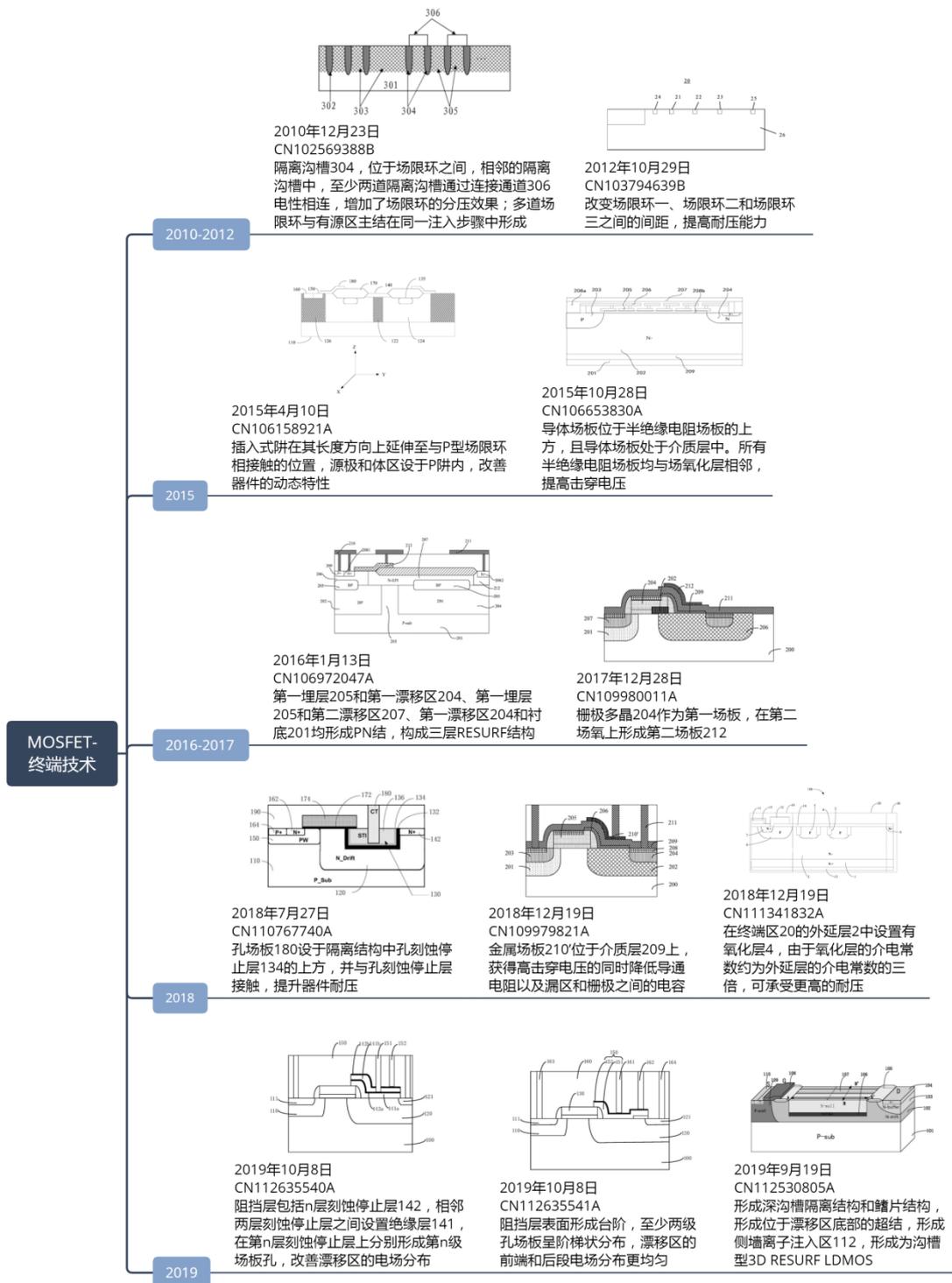
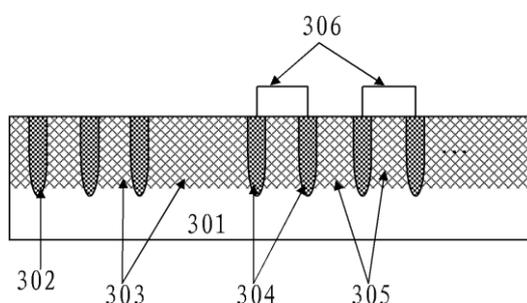


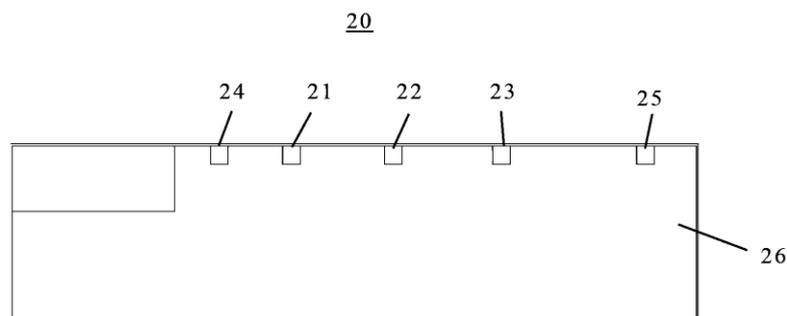
图 3.1-21 MOSFET-终端技术分布情况

2010年12月23日，CN102569388B公开了一种半导体器件及其制造方法，该半导体器件包括：基底；位于基底表面内的有源区，有源区具有沟槽302；

场限环 305，位于有源区外；隔离沟槽 304，位于场限环之间，相邻的隔离沟槽中，至少两道隔离沟槽通过连接通道 306 电性相连。通过将多道场限环与有源区主结在同一注入步骤中形成，省略了形成场限环的光刻步骤，降低了生产成本；并且通过将相邻的隔离沟槽中至少每两道隔离沟槽相连，将现有技术中单个场限环耗尽区的宽度由一个隔离沟槽的宽度增加为互连的隔离沟槽宽度与其间的场限环的宽度的总和，从而增加了场限环的分压效果，进一步提高了芯片的耐压能力。

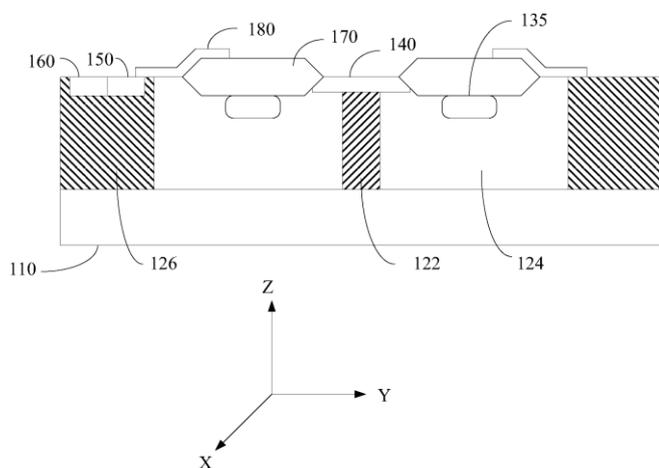


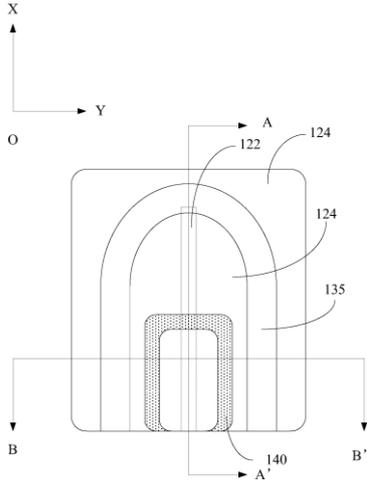
2012 年 10 月 29 日，CN103794639B 公开了一种半导体器件，包括衬底以及环绕该衬底边缘设置的场限环，场限环包括场限环一 21、场限环二 22 和场限环三 23，场限环二位于场限环一和场限环三之间，场限环一和场限环二之间的间距为 19~21 μm ，场限环二和场限环三之间的间距为 20~23 μm 。本发明通过改变场限环一、场限环二和场限环三之间的间距，提高了半导体器件的耐压能力。



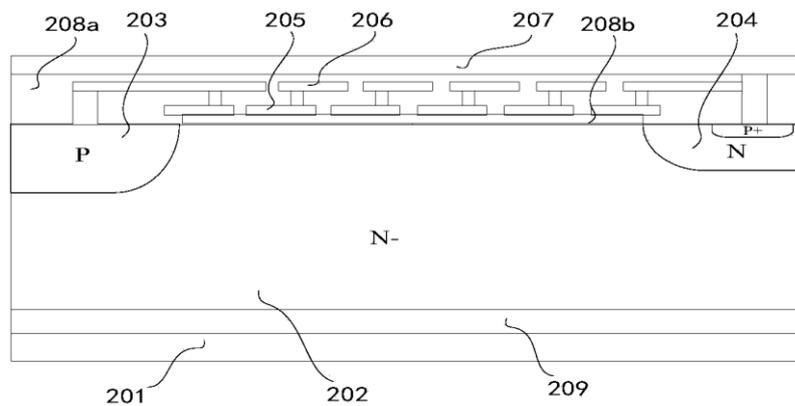
2015 年 4 月 10 日，CN106158921A 公开一种具 RESURF 结构的横向扩

散金属氧化物半导体场效应管，包括衬底、源极、漏极、体区、P型场限环及衬底上的阱区，阱区包括：**插入式阱，掺杂类型为P型，设于漏极的下方并与漏极相接；N阱，设于插入式阱的两侧；P阱，设于N阱的旁边并与N阱连接；**P型场限环设于N阱内，为封闭的环状结构，且位于漏极的下方外围，将漏极包围；**插入式阱在其长度方向上延伸至与P型场限环相接触的位置，源极和体区设于P阱内。**如图所示，P型的插入式阱122在漏极140下方向外(即X轴方向)渡过漏极140和N阱124，与漂移区中的P型场限环135相连，使P型场限环135接到衬底(Psub)电位(因为插入式阱122本身就接至衬底110所以与衬底110电位相同)，从而使得P型场限环135解除了悬空的状态，**确保交流高频开关状态下P型场限环135与N阱124之间能保持稳定的结电容，有助于改善器件的动态特性，避免出现尖峰电流。**



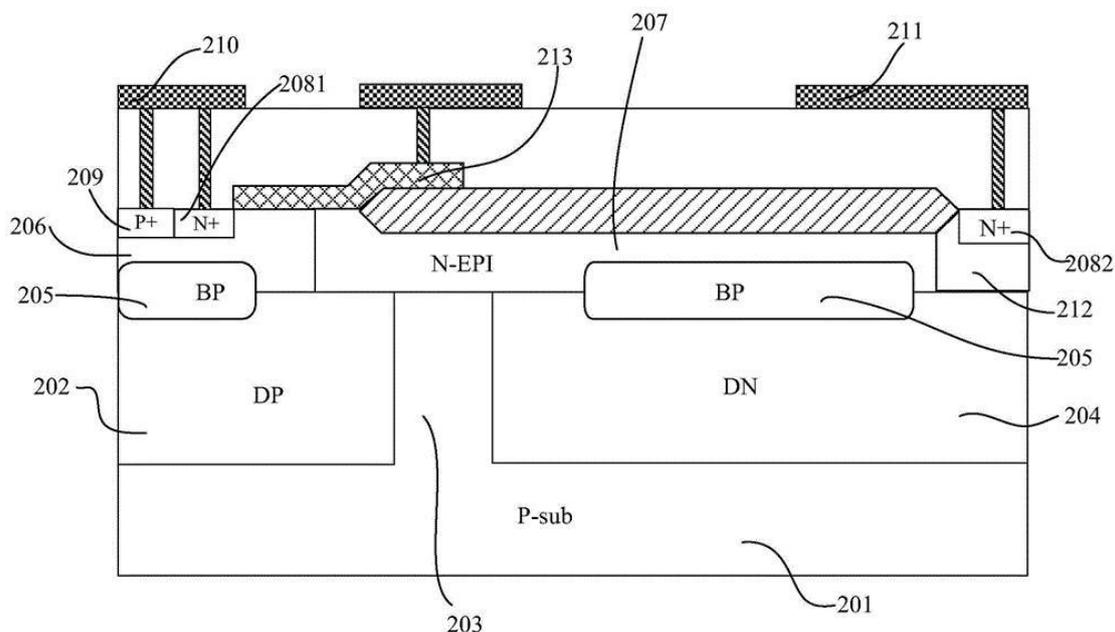


2015 年 10 月 28 日, CN106653830A 公开了一种半导体器件耐压结构, 该半导体器件耐压结构包括用于布置高压互联线的高压互联区域, 且该高压互联区域下方依次为金属层、介质层、场氧化层、漂移区除有源区之外的区域, 该半导体器件耐压结构还包括若干导体场板、若干半绝缘电阻场板。其中, **导体场板位于半绝缘电阻场板的上方, 且导体场板处于介质层中。所有半绝缘电阻场板均与场氧化层相邻。导体场板与半绝缘电阻场板构成若干电容器, 且任一电容器至少能与另一电容器传送能量。**该半导体器件耐压结构在整体上减小了漂移区表面承受的高压, 提高了半导体器件的击穿电压, 使得半导体器件能够在更高的电压下工作。



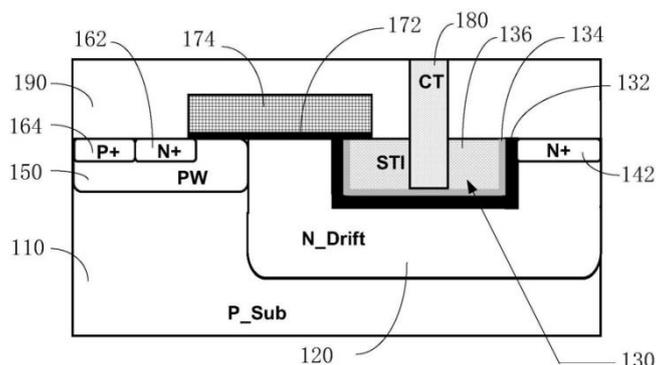
2016 年 1 月 13 日, CN106972047A 公开了一种 LDMOS 器件, 包括:

衬底, 还包括 P 型阱区 202, 其位于衬底 201 中。还包括第一漂移区 204, 其位于衬底 201 中与 P 型阱区 202 相邻, 且其导电类型为 N 型。第一漂移区 204 可以与 P 型阱区 202 相邻且间隔, 外延层包括 N 型第二漂移区 207, 以及分别位于所述第二漂移区 207 两侧并与所述第二漂移区 207 邻接的 P 型阱区 206(也即第二阱区)和 N 型掺杂区 212, P 型阱区 206 位于 P 型阱区 202(也即第一阱区)上, N 型掺杂区 212 位于第一漂移区 204 上。至少部分第二漂移区 207 位于 P 型阱区 202 和第一漂移区 204 上。第一埋层 205, 其位于所述第一漂移区 204 和所述第二漂移区 207 中, **第一埋层 205 和其下的第一漂移区 204、第一埋层 205 和其上的第二漂移区 207、第一漂移区 204 和衬底 201 均形成 PN 结, 构成三层(tripple)RESURF 结构。同时, 第二漂移区 207 与 P 型阱区 202 形成 PN 结, 构成 RESURF 结构。**还进一步包括第二埋层 205, 位于 P 型阱区 202 和 P 型阱区 208 中。本发明的结构优化了源端的 JFET 区域增加了电流路径的宽度, 得到高击穿电压的同时得到更低的导通电阻, 并实现了多层 RESURF 结构。

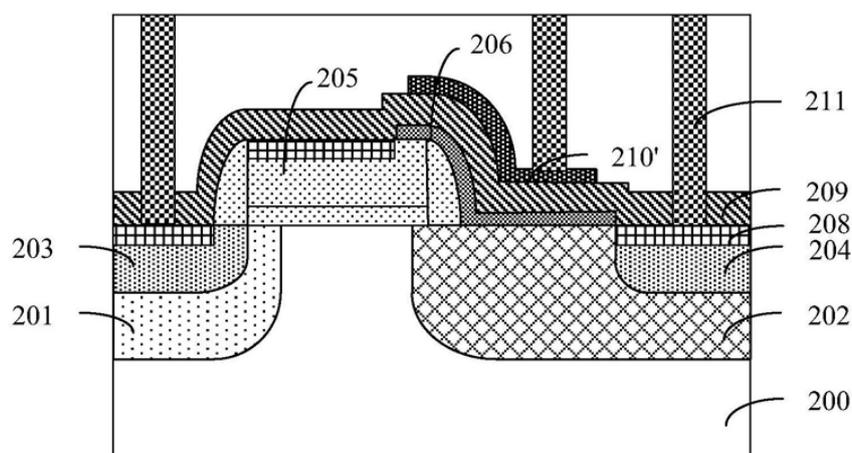


2017 年 12 月 28 日, CN109980011A 公开了一种半导体器件及其制作方

耗尽的效果不会因为孔场板过深或过浅而偏离预期，因此可以保证器件的稳定性。

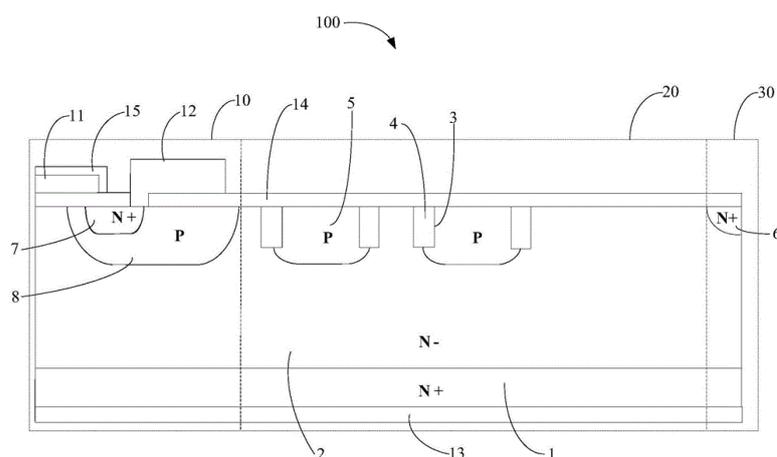


2018年12月19日，CN109979821A公开了一种半导体器件及其制作方法，半导体器件包括衬底200，衬底200中形成有体区201和漂移区202，源区203位于体区201内，漏区204位于漂移区202内，栅极结构205位于半导体衬底200上；介质层209覆盖在半导体衬底200上；**金属场板210'位于介质层209上**。通过在介质层上形成金属场板，在获得高击穿电压的同时降低了导通电阻以及漏区和栅极之间的电容，提高了半导体器件的性能。



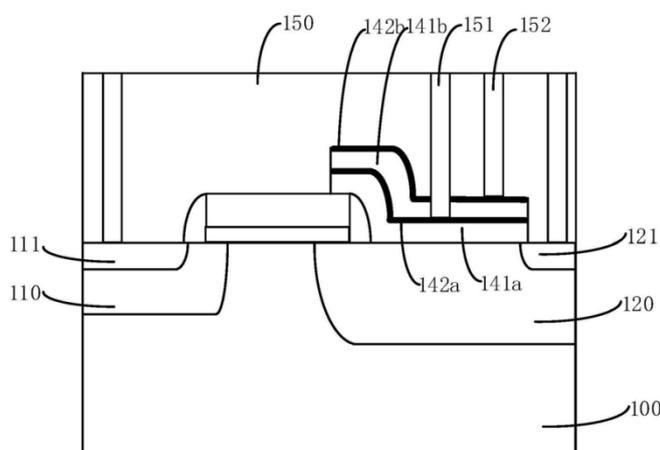
2018年12月19日，CN111341832A公开了一种结终端结构及其制备方法。结终端结构100包括原胞区10、位于所述原胞区10外周的终端区20以及位于所述终端区20外周的截止区30；所述结终端结构包括：具有第一导电类型

的衬底 1、形成于衬底 1 之上的具有第一导电类型的外延层 2；形成于终端区 20 的外延层 2 中的环绕原胞区 10 的环形槽 3 及填充在环形槽 3 中的氧化层 4；形成于终端区 20 的外延层 2 中的具有第二导电类型的场限环 5；形成于截止区 30 的外延层 2 中的具有第一导电类型的注入区 6；形成于原胞区 10 的外延层 2 中的具有第二导电类型的源区 8；形成于源区 8 中的具有第一导电类型的体区 7。在终端区的外延层中设置有氧化层，由于氧化层的介电常数约为外延层的介电常数的三倍，与外延层相比，氧化层可承受的电场强度的尖峰值大于外延层可承受的电场强度的尖峰值，从而可使得结终端结构的尺寸一定时可承受更高的耐压；并且，当结终端结构的耐压一定时，氧化层的设置可减小结终端的尺寸。

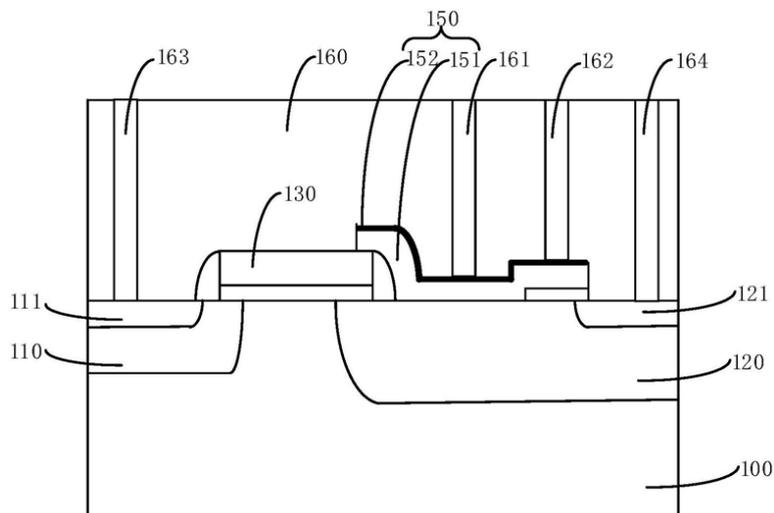


2019 年 10 月 8 日，CN112635540A 公开了一种 LDMOS 器件及其制备方法中，在栅极结构 130 上沉积形成阻挡层 140。阻挡层包括 n 层刻蚀停止层 142，相邻两层刻蚀停止层之间设置绝缘层 141，由于层间介质层、绝缘层的材料相同均为氧化物，且不同于刻蚀停止层的材料，因此刻蚀氧化物时可以分别停止于第 n 层刻蚀停止层上，以在第 n 层刻蚀停止层上分别形成第 n 级场板孔。靠近栅极结构的第 1 级场板孔下端与漂移区的距离最小，靠近漏区的第 n 级场

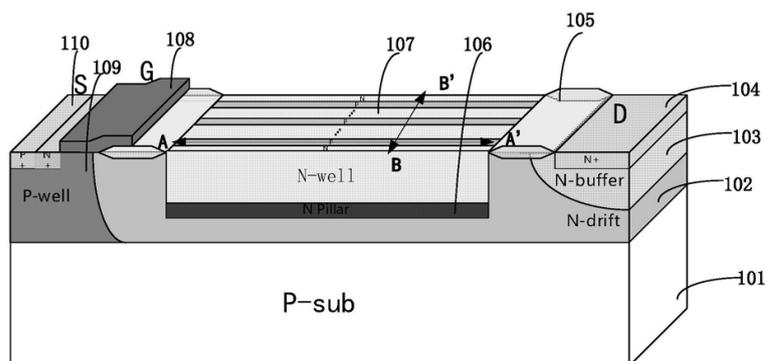
板孔与漂移区的距离最大，进而可以使得漂移区的前端和后端电场分布更均匀，可有效改善漂移区的电场分布，使得漂移区的前端和后端电场分布均匀，获得更高的击穿电压。



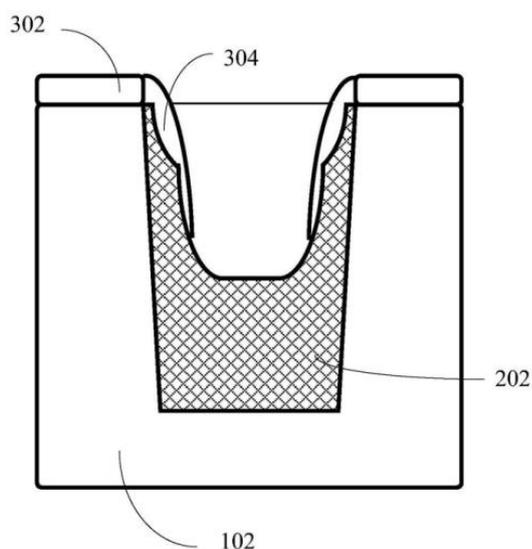
2019年10月8日，CN112635541A (WO2021068648A1) 公开一种 LDMOS 器件及其制备方法，通过在半导体衬底和层间介质层之间设置阻挡层阻 150，阻挡层 150 包括绝缘层 151 和刻蚀停止层 152。可以在刻蚀层间介质层形成场板孔时使得场板孔刻蚀停止于阻挡层阻上。通过在阻挡层 150 与漂移区 120 之间设置第一氧化层 140，可以使得阻挡层表面形成台阶。由于阻挡层具有至少一层刻蚀停止层，且阻挡层表面形成有台阶，因此形成的至少两级孔场板呈阶梯状分布，且从栅极结构到漏区方向，第 1 级孔场板 161 至第 n 级孔场板的下端逐渐远离所述漂移区，进而可以使得漂移区的前端和后段电场分布更均匀，提高 LDMOS 器件的击穿电压。另外，由于本申请中取消了漏区附近的浅沟槽隔离结构，因此可降低导通电阻。



2019年9月19日, CN112530805A 公开了一种横向双扩散金属氧化物半导体器件及制作方法、电子装置。在其方法中首先执行离子注入, 在形成深沟槽隔离结构和鳍片结构, 并且在深沟槽隔离结构执行离子注入, **在漂移区的底部形成交替设置的第一离子注入区 106 和第二离子注入区 111, 从而形成位于漂移区底部的超结。**然后再斜角注入对鳍片结构的侧壁执行第二类型的离子注入, 以在所述鳍片结构的侧壁上形成侧墙离子注入区 112, 深沟槽隔离结构之间的阱区在其间耐压的时候通过两边的侧墙离子注入区来完全耗尽, 阱区的浓度比漂移区高很多, 使得导通电阻在超结(super junction)LDMOS 的基础上进一步降低, 这种结构有超结(super junction)和侧墙离子注入区(sidewall)同时作用于漂移区, 降低表面电场, 提升导通能力, 形成为沟槽型 3D RESURF LDMOS。



2017/7/3, CN109216439B 公开了一种具有沟槽内渐变厚度的场板结构的半导体器件的制造方法, 包括: 在晶圆表面形成沟槽; 通过淀积向沟槽内填充氧化硅 202; 将沟槽内的氧化硅通过刻蚀去除掉表面的一部分; 通过热氧化在沟槽顶部的拐角处形成氧化硅拐角结构; 在晶圆表面淀积含氮化合物 302; 干法刻蚀含氮化合物, 氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留 304; 以含氮化合物侧壁残留为掩膜, 将沟槽内的氧化硅通过刻蚀去除掉表面的一部分; 重复执行以上三个步骤, 直至将沟槽内的氧化硅刻蚀至所需的底部氧化硅厚度; 去除沟槽内的含氮化合物, 向沟槽内填入多晶硅。本发明减少了氧化时间, 提高了生产效率。且减少了衬底杂质向外延层的反扩, 同时工艺简单。



栅极技术

在栅极技术中, 沟槽栅是华润微布局的重点, 其他还有平面栅等技术。

在沟槽栅技术中, 在 2010-2013 年, 提出了梳状沟槽, 以及沟槽延伸到衬

底中的结构；在 2017 年，提出了双沟槽，结合屏蔽栅、主控制栅和辅助栅的技术；在 2018 年以来，提出了在沟槽底部形成埋层、PN 结构等；多晶硅顶部高度位置高于沟槽顶部高度；至少两个沟槽相连通结合体区设置在沟槽之间的设计。

在平面栅技术，在 2012-2013 年，提出了高低压栅氧交界区的位置移动到栅极下的结构，还提出了凹凸状栅介质层结构；在 2015 年，多晶硅栅极下形成多个阱的结构；在 2019 年，设计了边部栅和悬浮栅结构。

(1) 沟槽栅

MOSFET-沟槽栅

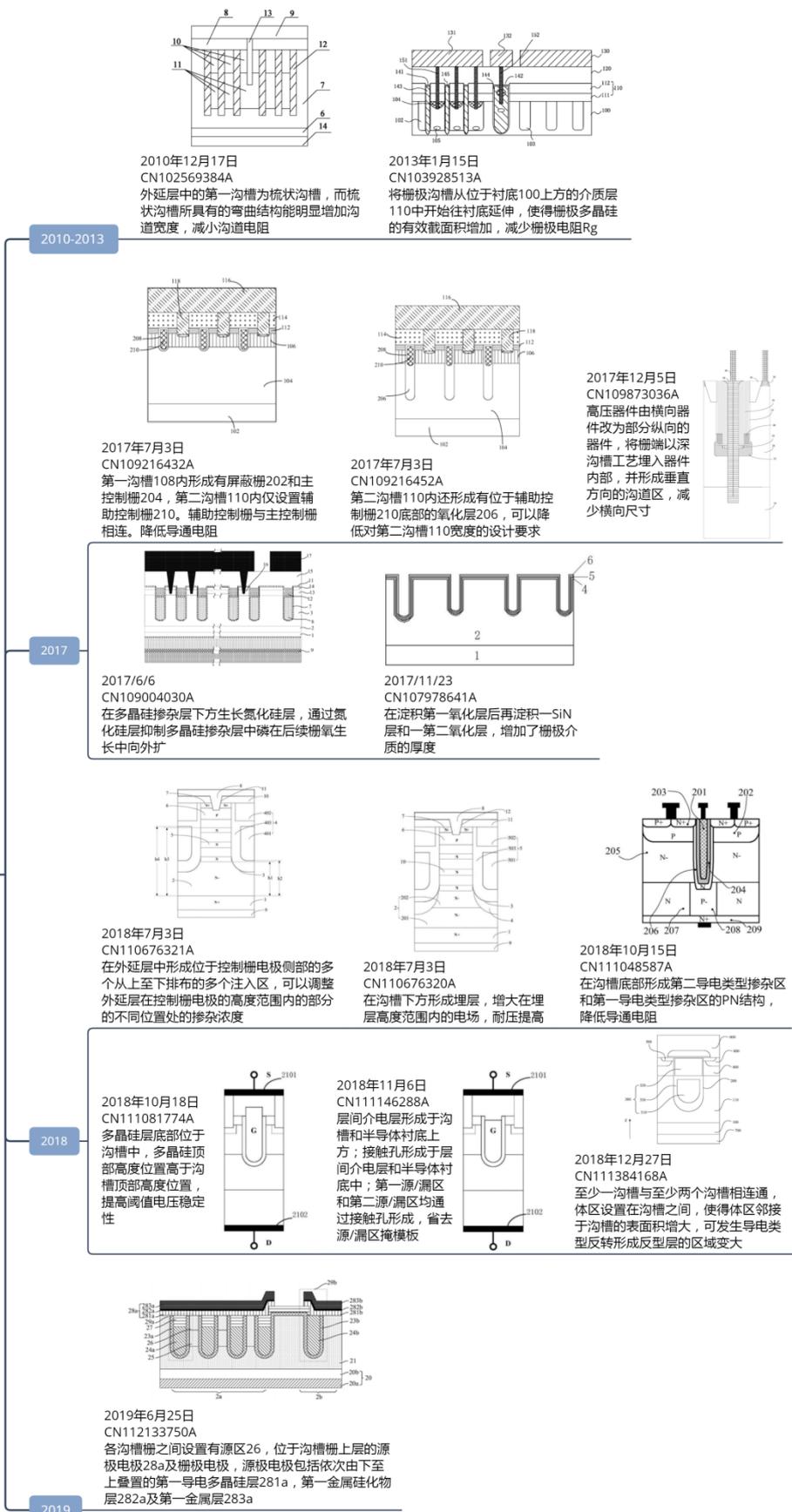
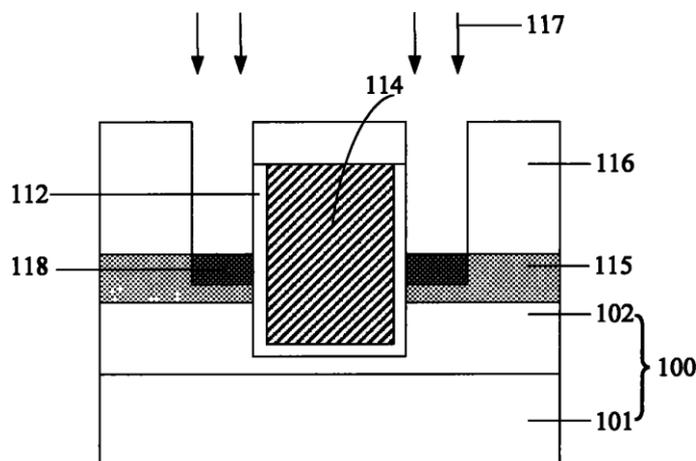


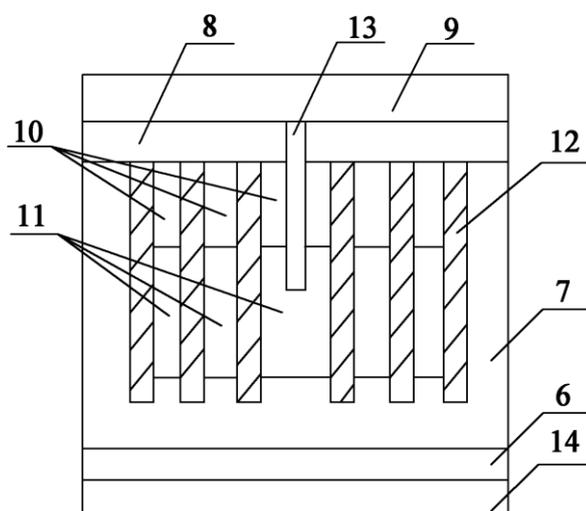
图 3.1-22 MOSFET-沟槽栅技术分布情况

2009年9月27日，CN102034708B提出一种沟槽型DMOS晶体管的制作方法，包括：在半导体基底上依次形成氧化层和图案化阻挡层；以阻挡层为掩膜，刻蚀氧化层和半导体基底，形成沟槽；在沟槽内壁形成栅氧化层；在阻挡层上形成多晶硅层，且将多晶硅层填充满沟槽内；以阻挡层为掩膜，对多晶硅层进行反刻蚀去除阻挡层上的多晶硅层，形成沟槽栅极；去除阻挡层和氧化层；向沟槽栅极两侧的半导体基底内注入离子，形成扩散层；在扩散层上形成光刻胶层，并定义出源/漏极图形；以光刻胶层为掩膜，沿源/漏极图形向扩散层内注入离子，形成源/漏极；去除光刻胶层后，在沟槽栅极两侧形成侧墙；在扩散层和沟槽栅极上形成金属硅化物层。本方案只使用了两次光刻工艺，减少了器件制作的工艺步骤，使制作成本降低，效率提高。

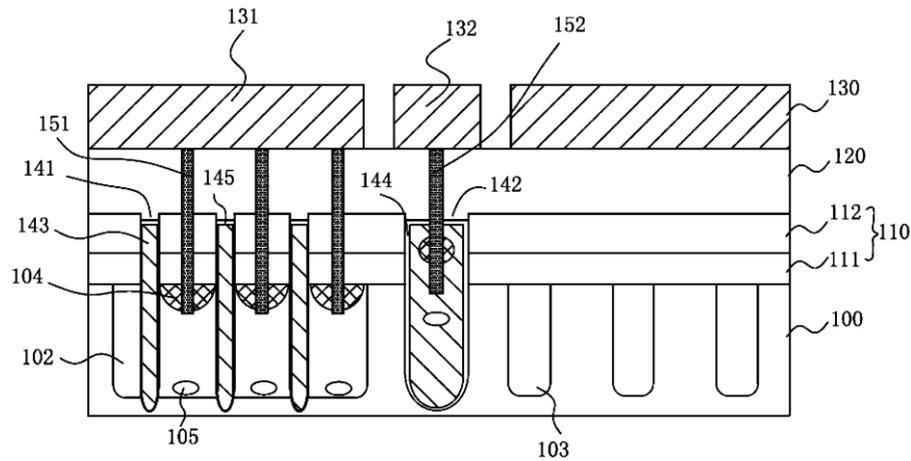


2010年12月17日，CN102569384A公开了一种沟槽MOSFET器件及其制作方法。沟槽MOSFET器件包括：基底，基底包括本体层6和本体层之上的外延层7；位于外延层中的第一沟槽12和接触孔13；其中，第一沟槽12为梳状沟槽。第一沟槽12内部依次填充栅氧化层和栅极材料。还包括位于外延层7中的体区11和位于体区11中的源极10。由于其外延层中的第一沟槽为梳状

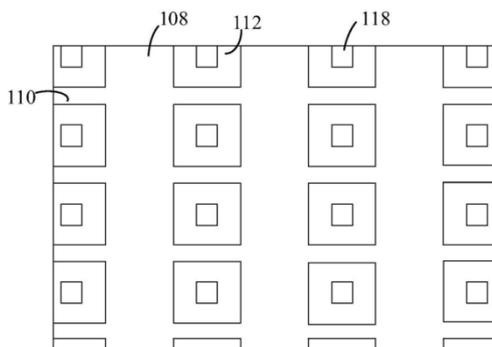
沟槽,而梳状沟槽所具有的弯曲结构能明显增加沟道宽度,从而可减小沟道电阻,进一步可减小导通电阻。

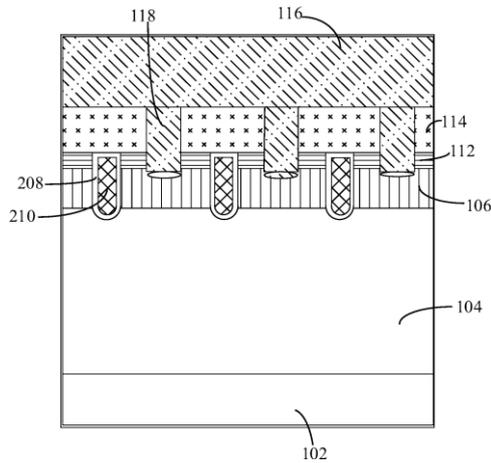


2013年1月15日, CN103928513A 公开一种沟槽型 DMOS 器件及其制备方法, 该 DMOS 器件包括多个沟槽, 多个沟槽包括相互连通的分布在有源区 102 的至少一个第一沟槽 141(图示中为 3 个)和位于有源区 102 外的第二沟槽 142。第一沟槽 141 构成了 DMOS 器件的栅极主体, 第二沟槽 142 则起到将栅极引出的作用。将栅极沟槽从位于衬底 100 上方的介质层 110 中开始往衬底延伸, 使得栅极多晶硅的有效截面积增加, 从而减少了栅极电阻 R_g 。同时由于在沟槽刻蚀之前就已经覆盖了介质层, 因而取消了原先的源极注入工艺, 转而将该源注入工艺和导电通孔在一次光刻中进行, 减少了一步光刻, 从而使得整个工艺更加简单。

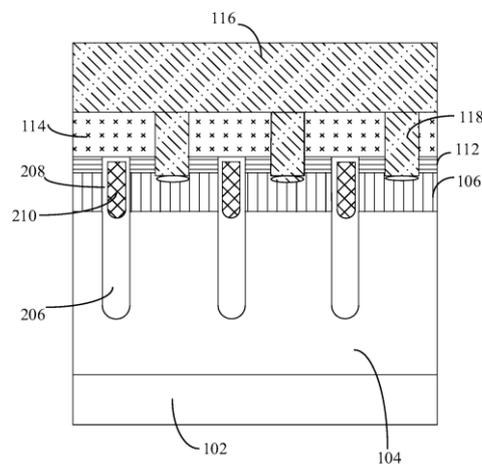


2017年7月3日, CN109216432A 公开了一种沟槽型功率器件, 包括终端区和被终端区包围的元胞区; 元胞区内包括多个元胞; 元胞内形成有第一沟槽 108 和第二沟槽 110。第一沟槽 108 内形成有屏蔽栅 202 和主控制栅 204, 第一沟槽内的主控制栅 204 位于屏蔽栅 202 的上部两侧; 主控制栅和屏蔽栅、第一沟槽的侧壁之间形成有栅氧化层 208; **第二沟槽 110 内则仅仅设置辅助控制栅 210。辅助控制栅与主控制栅相连。元胞的耐压通过第一沟槽 108 方向的电场耗尽来实现, 与第二沟槽 110 无关。但是在器件导通时, 第二沟槽 110 却可以提供额外的导电沟槽, 从而降低了器件的导通电阻。**

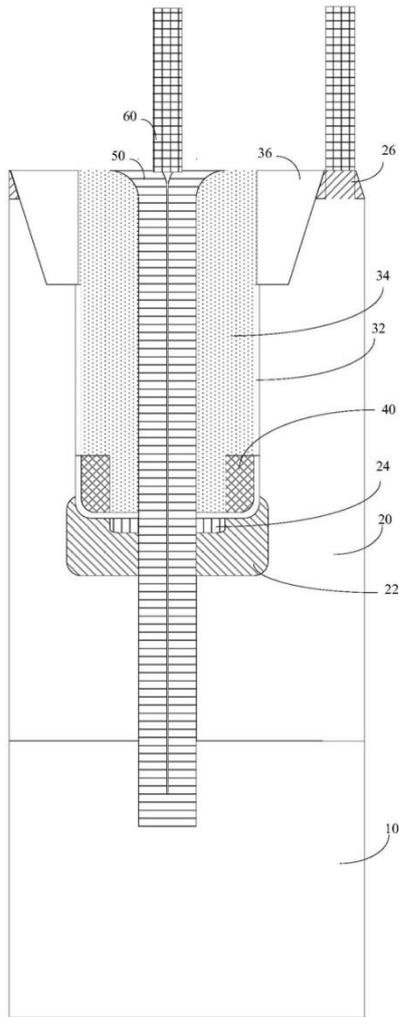




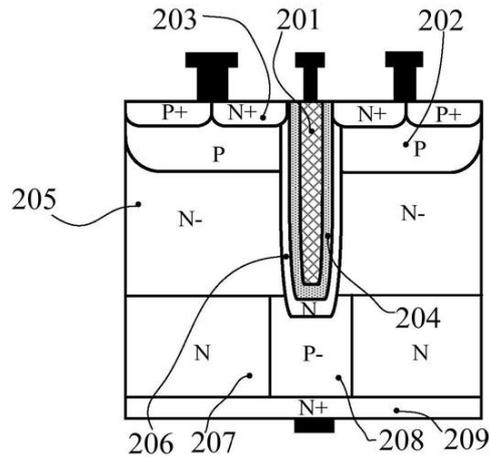
2017年7月3日，CN109216452A公开了一种沟槽型功率器件，元胞内形成有第一沟槽108和第二沟槽110。其中第一沟槽108内形成有传统的包围结构的屏蔽栅结构，也即主控制栅204位于屏蔽栅202两侧且位于屏蔽栅202的上部。第二沟槽110内设置辅助控制栅210但是并不设置屏蔽栅结构。元胞的耐压通过第一沟槽108方向的电场耗尽来实现，与第二沟槽110无关。但是在器件导通时，第二沟槽110却可以提供额外的导电沟槽，从而降低了器件的导通电阻。同时第二沟槽110延伸至硅外延层106，且第二沟槽110内还形成有位于辅助控制栅210底部的氧化层206，可以降低对第二沟槽110宽度的设计要求，从而使得制备过程相对简单。



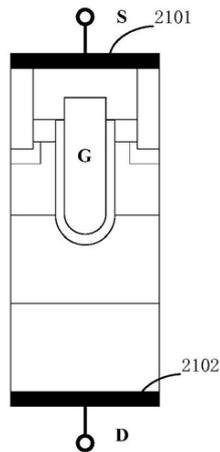
2017年12月5日, CN109873036A公开了一种MOSFET结构及其制造方法。所述结构包括:衬底10;第一导电类型阱区20;第一沟槽,开设于第一导电类型阱区表面并向下延伸至第二导电类型阱区22;源极24,设于第二导电类型阱区内、第一沟槽下方;栅氧化层32,设于第一沟槽的内表面;多晶硅栅40,填充于第一沟槽底部的侧壁,位于栅氧化层上;导电栓塞50,从第一沟槽的上方向下延伸,贯穿源极后与第二导电类型阱区接触;绝缘氧化层34,填充于第一沟槽内、导电栓塞与多晶硅栅之间;漏极26,设于第一沟槽外、源极的斜上方。将传统集成工艺的高压器件由横向器件改为部分纵向的器件,将栅端以深沟槽工艺埋入器件内部,并形成垂直方向的沟道区,可以最大化降低高压器件所需要的横向尺寸。



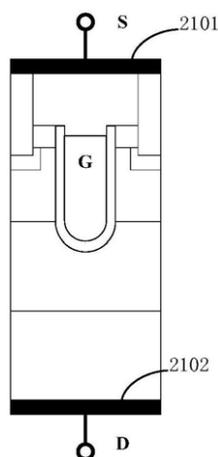
2018年10月15日, CN111048587A 公开了一种沟槽栅耗尽型 VDMOS 器件及其制造方法, 所述器件包括: 包括漏极区 209、沟槽栅(包括栅绝缘层 204 和栅电极 201)、沟道区 206、阱区 202、源极区 203、漂移区 205、第二导电类型掺杂区 208、第一导电类型掺杂区 207。第二导电类型掺杂区, 位于沟道区和漏极区之间; 第一导电类型掺杂区, 位于第二导电类型掺杂区两侧, 且位于漂移区和漏极区之间。本方案**在沟槽底部形成第二导电类型掺杂区和第一导电类型掺杂区的 PN 结构。在耗尽管开态, 电流通过导电沟道进入 PN 结构后, 在此区域电子和空穴形成电荷平衡, 相比漂移区电阻更低, 因此器件单个元胞开态的导通电阻大大降低。**



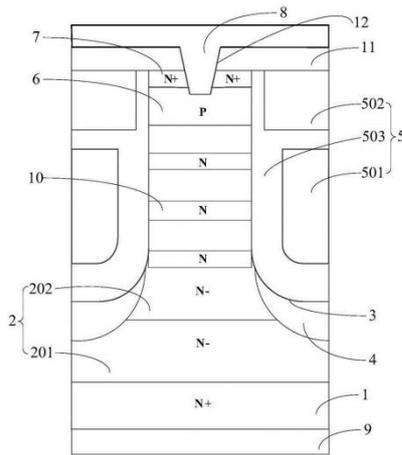
2018年10月18日, CN111081774A 公开了一种半导体器件及其制造方法, 包括: 半导体衬底; 沟槽形成于半导体衬底中; **多晶硅层底部位于沟槽中, 多晶硅顶部高度位置高于沟槽顶部高度位置**, 并且本方案的半导体器件及其制造方法能够在制造工艺完全兼容且不增加掩模板或工艺步骤的前提下, **提高阈值电压稳定性**。



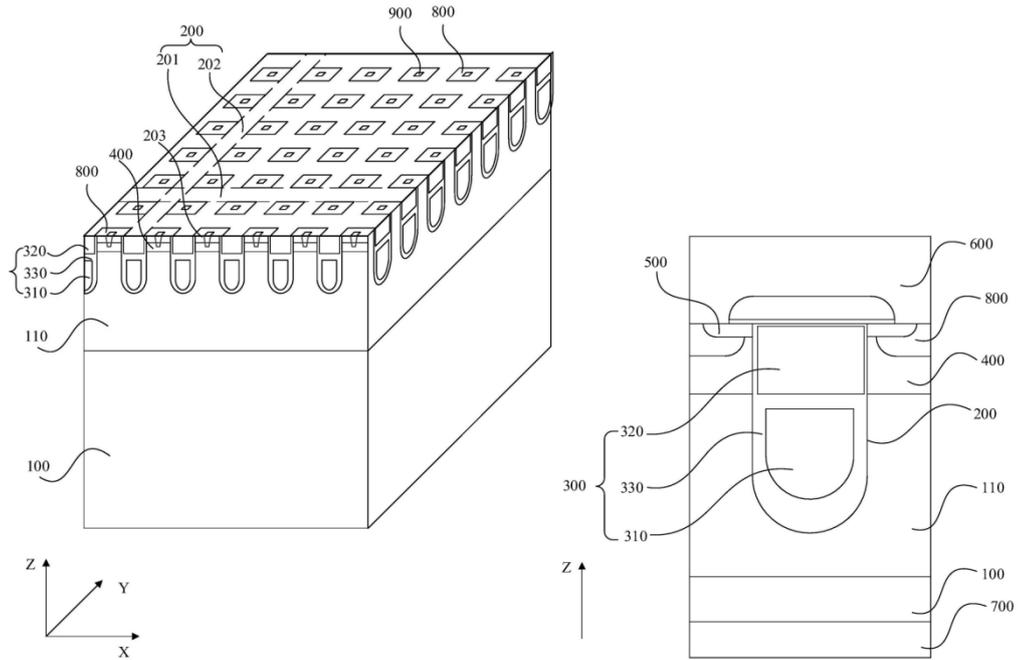
2018年11月6日, CN111146288A 公开了一种半导体器件及其制造方法, 包括: 半导体衬底; 沟槽形成于半导体衬底中; **层间介电层形成于沟槽和半导体衬底上方; 接触孔形成于层间介电层和半导体衬底中; 第一源/漏区和第二源/漏区均通过接触孔形成**, 其可以省去源/漏区掩模板, 同时省去制造光刻环节, 节省制造成本。



2018年7月3日, CN110676320A 公开了一种沟槽 MOSFET 及其制造方法。沟槽 MOSFET 包括: 具有第一导电类型的衬底 1; 形成于衬底之上的具有第一导电类型的外延层 2, 外延层的掺杂浓度低于衬底的掺杂浓度; 形成于外延层中的沟槽 3; **形成于沟槽下方的具有第二导电类型的埋层 4**; 填充在沟槽内的栅结构 5, 栅结构包括屏蔽栅电极 501、位于屏蔽栅电极上方的控制栅电极 502 及包覆屏蔽栅电极及填充在控制栅电极侧部的介质层 503; 形成于外延层中的具有第二导电类型的体区 6; 形成于外延层中且位于体区上方的具有第一导电类型的源区 7, 源区的掺杂浓度大于体区的掺杂浓度。本方案**通过在沟槽下方形成埋层, 可以增大在埋层高度范围内的电场, 使沟槽 MOSFET 的耐压提高**。同时 MOSFET 的耐压一定时, 通过在沟槽下方形成埋层, 可以增大外延层的掺杂浓度, 以降低沟槽 MOSFET 的比导通电阻。

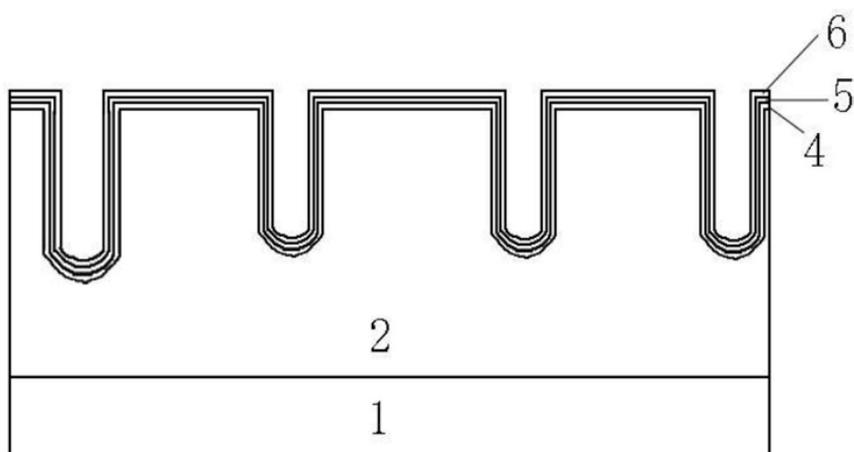


2018年7月3日, CN110676321A 公开了一种沟槽 MOSFET 及其制造方法, 沟槽 MOSFET 包括: 具有第一导电类型的衬底 1; 形成于衬底之上的具有第一导电类型的外延层 2, 外延层的掺杂浓度低于衬底的掺杂浓度; 形成于外延层中的沟槽 3; 填充在沟槽内的栅结构 4, 栅结构包括屏蔽栅电极 401、位于屏蔽栅电极上方的控制栅电极、包覆屏蔽栅电极及填充在控制栅电极侧部的介质层; **形成于外延层中的多个具有第一导电类型的注入区 5, 多个注入区从上至下排布且位于屏蔽栅电极侧部, 注入区的掺杂浓度大于外延层的掺杂浓度;** 形成于外延层中且位于多个注入区上方的具有第二导电类型的体区 6; 形成于外延层中且位于体区上方的具有第一导电类型的源区 7, 源区的掺杂浓度大于体区的掺杂浓度。本方案通过**在外延层中形成位于控制栅电极侧部的多个从上至下排布的多个注入区, 可以调整外延层在控制栅电极的高度范围内的部分的不同位置处的掺杂浓度。在沟槽 MOSFET 承受反向电压时, 使控制栅电极的高度范围内的电场明显增大, 因此可提高沟槽 MOSFET 的耐压。并且由于多个注入区的掺杂浓度大于外延层的掺杂浓度, 可使沟槽 MOSFET 的比导通电阻降低。**

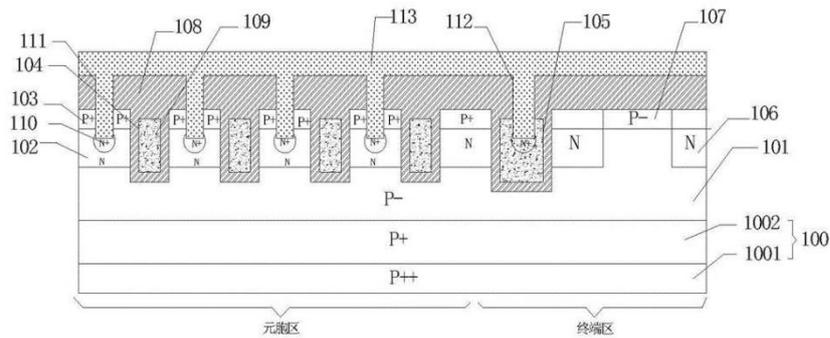


2019年6月25日, CN112133750A 公开了一种深沟槽功率器件及其制备方法, 包括: 位于半导体基板上的外延层 21; 位于元胞区的阱区内的多个沟槽栅 29a, 各沟槽栅间隔排布, 各沟槽栅之间设置有源区 26; **位于沟槽栅上层的源极电极 28a 及栅极电极, 源极电极包括依次由下至上叠置的第一导电多晶硅层 281a, 第一金属硅化物层 282a 及第一金属层 283a;** 以及位于终端保护区 2b 内的截止环结构 29b。本发方案保留自对准工艺的优点, 有效增加元胞密度; 通过大片多晶硅, 使钛硅化物变相充分, 避免漏电或雪崩能量应力变弱的情况, 提高器件性能; 将终端保护区的多晶硅通过沟槽直接接出, 减小外围区域的面积, 有利于芯片尺寸的减小。

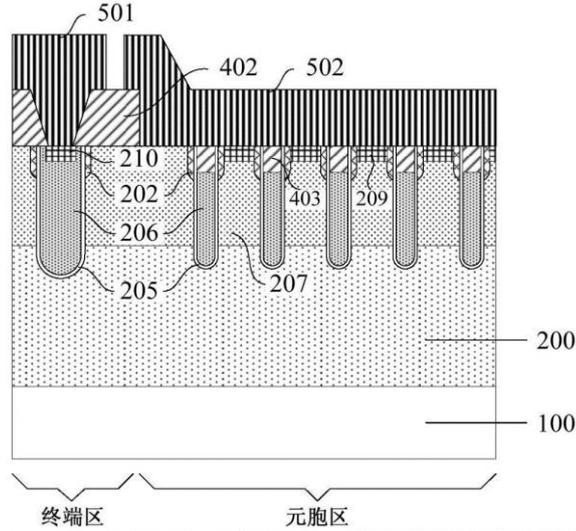
造方法，栅极沟槽结构中，在外延层 2 表面依次淀积—第一氧化层 4、— SiN 层 5、—第二氧化层 6、—多晶硅层 7。在淀积第一氧化层后再淀积— SiN 层和—第二氧化层，增加了栅极介质的厚度，通过优化栅极结构阻断栅极杂质向沟道区扩散，达到稳定开启电压、关断电压和减少栅源漏电的情况的目的，从而提高了器件的稳定性及可靠性。



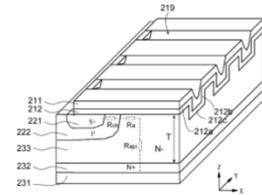
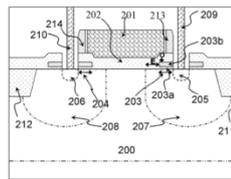
2016 年 11 月 15 日，CN106531809B 公开了一种深沟槽功率 MOS 器件结构及其制备方法，通过在做完体区离子注入和退火制程后，增加一道覆盖式 P 型离子注入工艺，于 N 型保护环 106 上部及相邻 N 型保护环之间的 P 型轻掺杂外延层 101 的上部形成 P 型轻掺杂区 107，以抵抗工艺中的 N 型离子污染，使器件外围的隔离由于没直接的大漏电路径而得以保持正常的工作，从而提高了器件的性能。



2017年5月23日, CN108962989B公开了一种沟槽型MOS器件及其制造方法, 沟槽型MOS器件包括: 形成于第二导电类型轻掺杂体区207上的位于终端区的绝缘介质层402, 其中, 绝缘介质层402开设有多个终端区接触孔401, 终端区接触孔401与终端区沟槽203一一对应, 并暴露终端区沟槽203内的部分多晶硅栅206; 形成于被终端区接触孔401暴露的部分多晶硅栅206内的第二导电类型重掺杂栅接触区210; 形成于绝缘介质层402上的金属栅极501, 其中, 金属栅极501同时覆盖部分绝缘介质层402、第二导电类型重掺杂栅接触区210并填满终端区接触孔401。终端区沟槽内的多晶硅栅的上表面与第一导电类型轻掺杂外延层的上表面齐平, 绝缘介质块与绝缘介质层同时形成, 终端区接触孔停止于终端区沟槽内的多晶硅栅的上表面。通过优化器件结构, 将元胞区接触孔404通过绝缘介质块403提前与沟槽204隔离, 从根本上避免了元胞区接触孔对元胞区沟槽造成的影响, 保证了器件的稳定性, 同时元胞区接触孔自对准, 能够使用更小的元胞区沟槽间距, 从而提升了器件密度、降低了导通电阻。

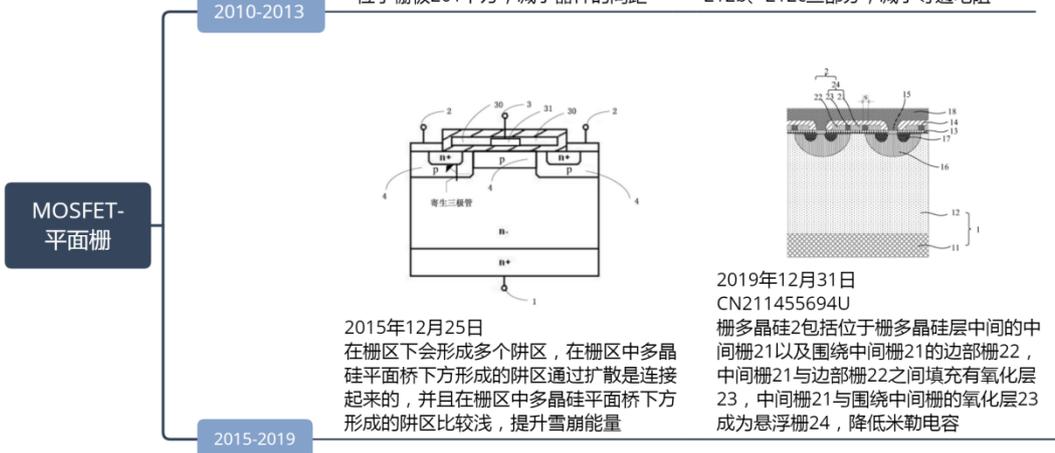


(2) 平面栅



2010年12月24日
CN102569389A
源重掺杂区205和漏重掺杂区206靠近栅极201的一侧分别包括高低压栅氧交界区203和204；高低压栅氧交界区位于栅极201下方，减小器件的间距

2012年9月18日
CN103681843B
外延层上形成的栅介质层212以及栅电极211，栅介质层212包括212a、212b、212c三部分，减小导通电阻

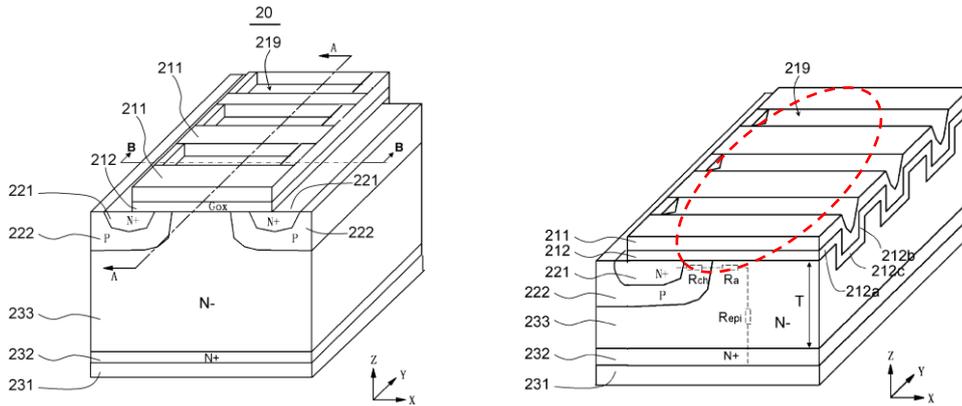


2015年12月25日
在栅区下会形成多个阱区，在栅区中多晶硅平面桥下方形成的阱区通过扩散是连接起来的，并且在栅区中多晶硅平面桥下方形成的阱区比较浅，提升雪崩能量

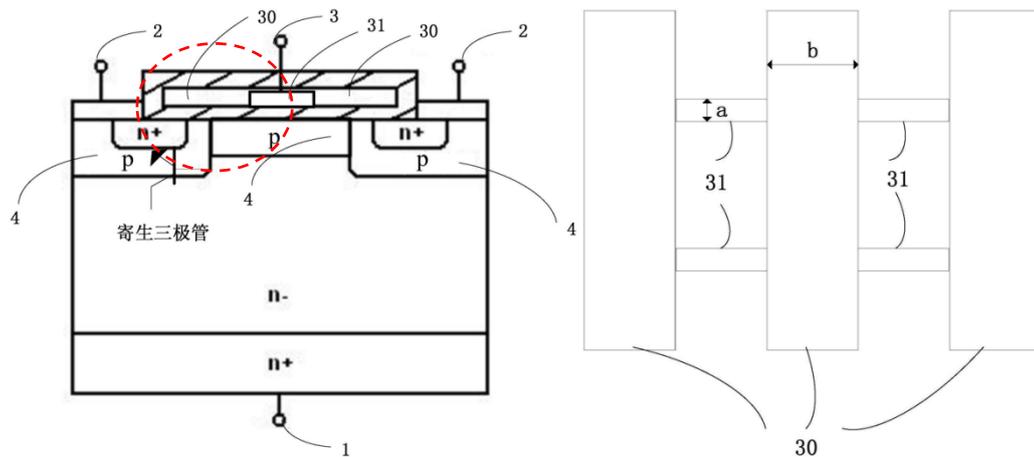
2019年12月31日
CN211455694U
栅多晶硅2包括位于栅多晶硅层中间的中栅21以及围绕中栅21的边部栅22，中栅21与边部栅22之间填充有氧化层23，中栅21与围绕中栅的氧化层23成为悬浮栅24，降低米勒电容

图 3.1-23 MOSFET-平面栅技术分布情况

2010年12月24日，CN102569389A公开了一种MOS器件及其制造方法，器件包括：阱区200，位于阱区表面上的栅氧化，202、位于栅氧化膜表面上

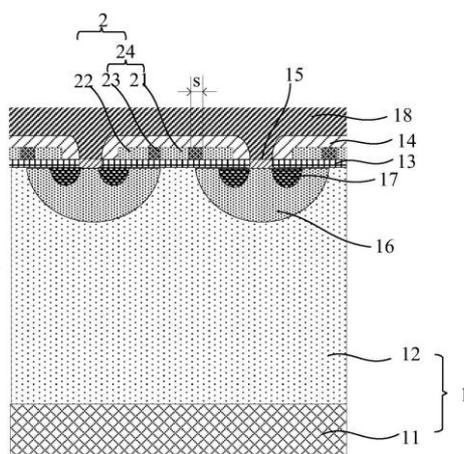


2015 年 12 月 25 日 , CN106920837B 公开了一种垂直双扩散金属氧化物半导体器件及其制作方法, 该制作方法包括: 以衬底和外延层形成漏区; 形成至少两条多晶硅平面栅 30 以及形成连接在任意相邻两条多晶硅平面栅之间的至少一个多晶硅平面桥 31, 以作为栅区 3; 以多晶硅平面栅和多晶硅平面桥作为掩蔽, 对外延层进行掺杂, 以形成多个阱区 4, 形成源区 2。本方案**在栅区下会形成多个阱区, 在栅区中多晶硅平面桥下方形成的阱区通过扩散是连接起来的, 并且在栅区中多晶硅平面桥下方形成的阱区比较浅**, 使得垂直双扩散金属氧化物半导体器件在雪崩状态时, 反向电流容易流过栅区中多晶硅平面桥下方形成的比较浅的多个阱区, 提升了该半导体器件的雪崩能量。



2019 年 12 月 31 日, CN211455694U 公开了一种平面 VDMOS 器件, 包括位于半导体基底之上的外延层 12; 位于外延层 11 上表面的栅多晶硅 2, 栅多

晶硅 2 与外延层 12 之间设有栅氧化层 13，栅多晶硅 2 包括位于栅多晶硅层中间的中间栅 21 以及围绕中间栅 21 的边部栅 22，中间栅 21 与边部栅 22 之间填充有氧化层 23，中间栅 21 与围绕中间栅的氧化层 23 成为悬浮栅 24。通过未进行电性连接的悬浮栅结构，实现了米勒电容的大大降低，同时也避免了一致性及可靠性问题。



2015/3/10, CN106033727A 公开一种场效应晶体管的制作方法，通过利用双栅氧工艺制作栅氧化层，栅氧化层分为靠近源端一侧稍薄的第二栅氧化层和靠近漏端一侧稍厚的第一栅氧化层，漏端栅氧较厚的厚度可以降低漏栅之间的电场，提高器件漏端的耐压能力。因此利用此结构，可以省略掉漏栅之间的硅化物阻挡层结构(SAB)以减小器件尺寸。而且可以减少生产流程，降低生产成本。在多晶硅刻蚀之前就进行源端阱区的杂质注入，可以有效避免传统制造工艺中源端阱区的分布相差较大的问题。另外，利用自对准工艺进行源端阱区的大角度的杂质注入，栅端多晶硅结构靠近源端的一侧形成和源端阱区的杂质注入使用同一次光刻(同一光刻胶)，器件沟道长度由注入能量及角度决定，实现更长沟道的调节。

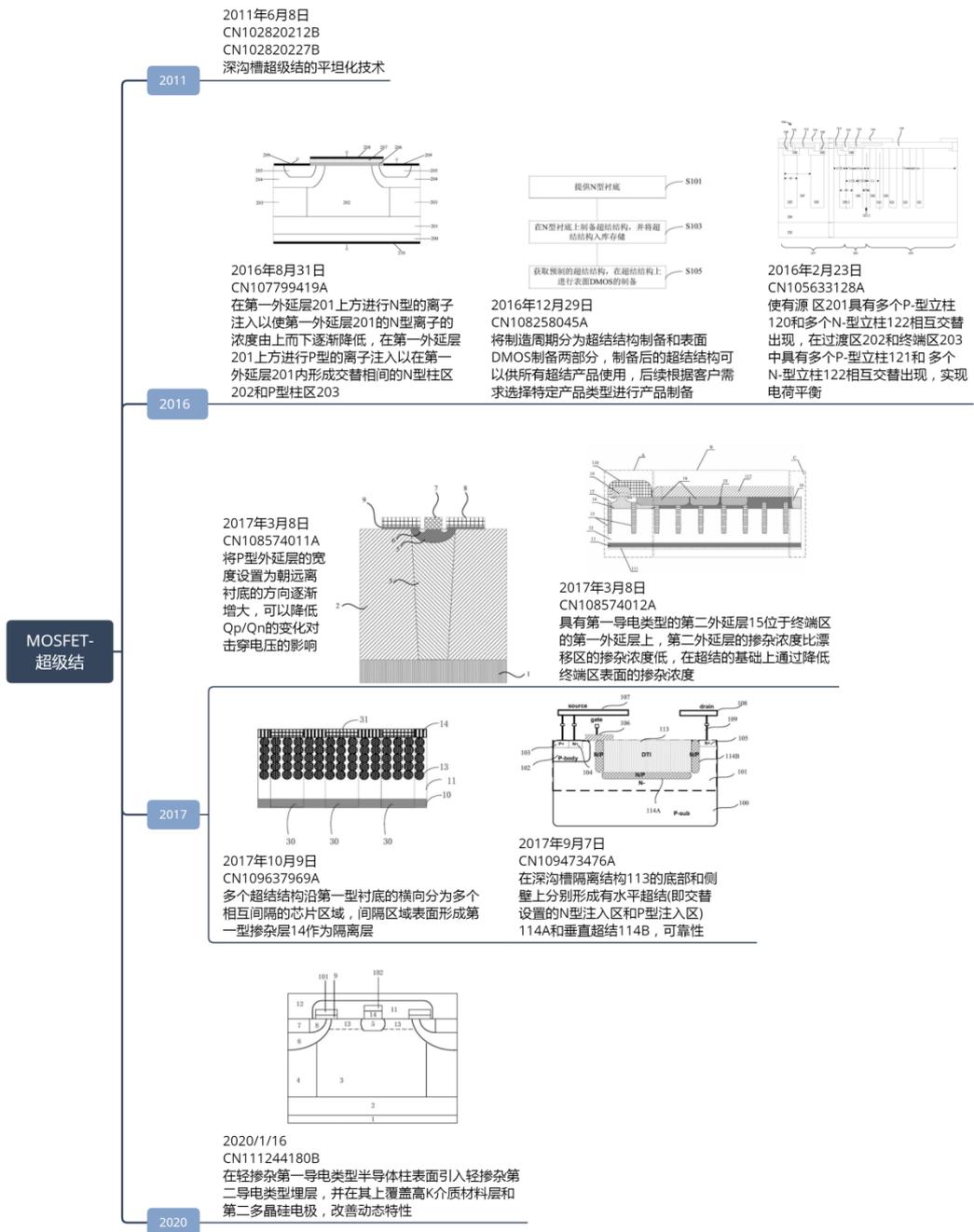
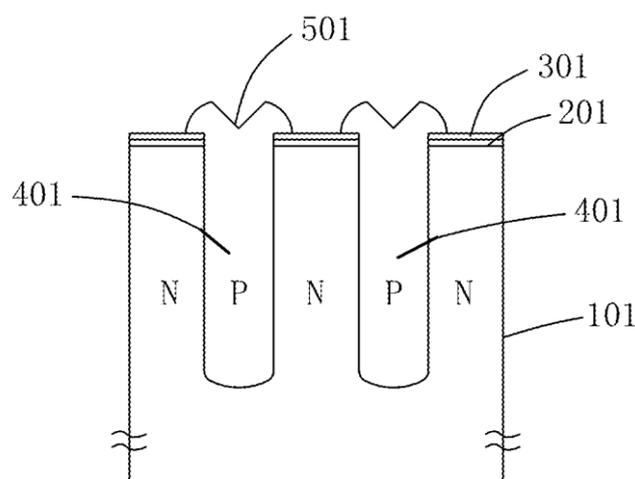


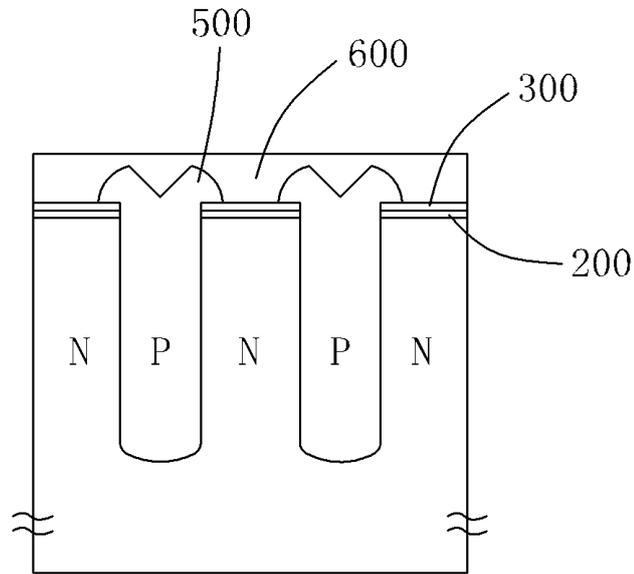
图 3.1-24 MOSFET-超级结技术分布情况

2011年6月8日, CN102820212B 提出一种深沟槽超级 PN 结的形成方法, 包括: 在衬底上沉积外延层; 在外延层上依次形成第一介质层、第二介质层; 在外延层形成深沟槽的深沟槽 401; 对深沟槽填充外延材料以充满整个深沟槽并且超过第二介质层的规定高度; 利用刻蚀气体刻蚀外延材料 501、第一介质层

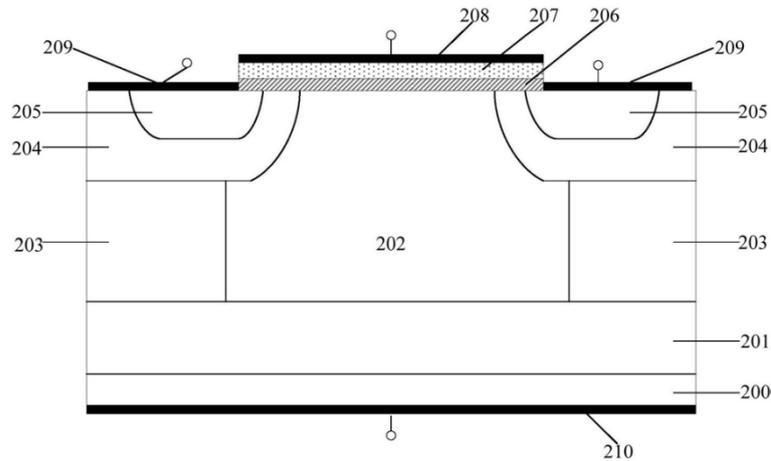
201 和第二介质层 301 直至第一介质层和外延材料的界面处;去除第一介质层、第二介质层以实现外延材料的平坦化。本方案**由于直接在外延设备中通入高温卤素氢化物气体，故能够直接在外延设备中进行外延 Si 和介质的刻蚀，无需专用的 CMP 设备，能够有效避免利用 CMP 导致的 Si 器件参数不稳定的问题**。该技术可用在超级 PN 结 (Super Junction) MOS 器件中。



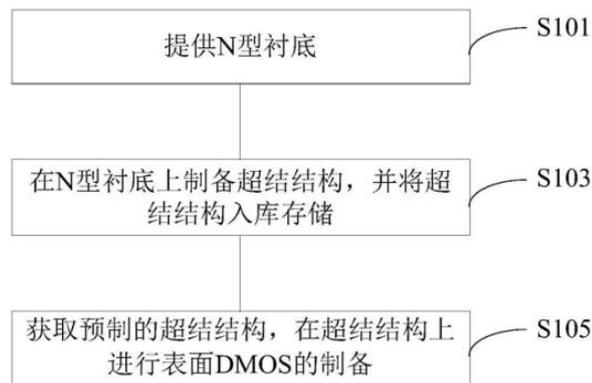
2011 年 6 月 8 日, CN102820227B 提出深沟槽超级 PN 结的形成方法, 包括: 在衬底上沉积外延层; 在外延层上依次形成第一介质层、第二介质层; 在外延层形成深沟槽; 对深沟槽填充外延材料以充满整个深沟槽并且超过第二介质层; 将流动性的第三介质填满包含第二介质层和外延材料例如 Si 的整个表面, 形成规定高度的表面填充层; 对表面填充层进行等离子回刻, 直至第一介质层和外延材料的界面处; 去除所述第一介质层、第二介质层和表面填充层以实现硅平坦化。本方案通过**采用填充流动性介质材料和等离子回刻**, 能够使用与现有的工艺兼容的方法实现硅的平坦化, 而**无需专用的 CMP 设备**, 因此具有工艺简单、效率高、工艺成本低的优点, 而且**能够有效避免利用 CMP 导致的 Si 器件参数不稳定的问题**。



2016年8月31日, CN107799419A 公开了一种超级结功率器件及其制备方法, 与传统 VDMOS 器件相比, 通过在第一外延层 201 上方进行 N 型的离子注入以使第一外延层 201 的 N 型离子的浓度由上而下逐渐降低, 在第一外延层 201 上方进行 P 型的离子注入以在第一外延层 201 内形成交替相间的 N 型柱区 202 和 P 型柱区 203, 因为在外延层中存在 N 型的离子浓度差, 根据扩散速率和浓度正相关的原理, 使得在高温扩散后, 形成深宽比较深的第二导电类型柱区, 实现了导通电阻较小, 耐压性能较高, 并且工艺流程较少, 制造成本较低的技术效果。

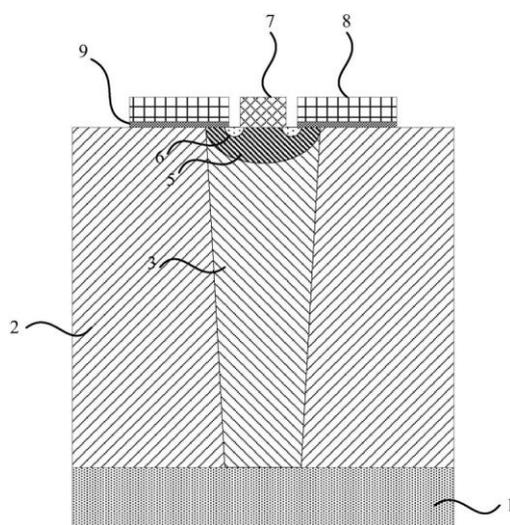


2016年12月29日，CN108258045A公开了一种超结半导体器件的制备方法，将制造周期分为超结结构制备和表面DMOS制备两部分，制备后的超结结构可以供所有超结产品使用，后续根据客户需求选择特定产品类型进行产品制备，从而可以减少产品交付周期，提高生产效率。

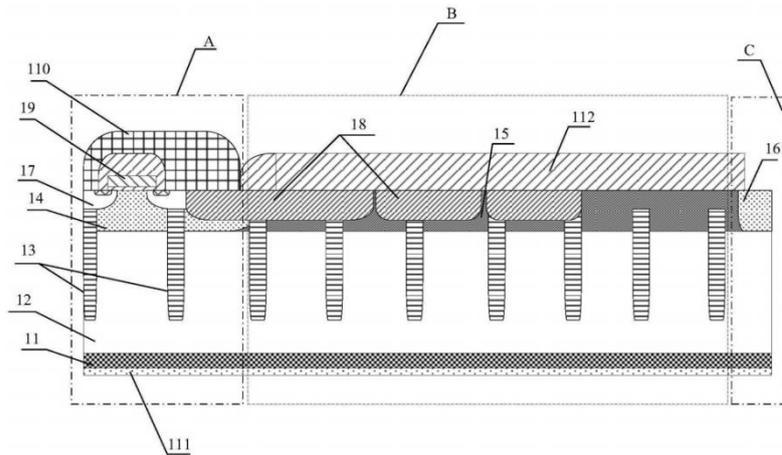


2017年3月8日，CN108574011A公开了一种垂直超结双扩散金属氧化物半导体器件，包括多个垂直超结双扩散金属氧化物半导体单元，垂直超结双扩散金属氧化物半导体单元包括：衬底；第一型外延层2，形成于所述衬底的一侧；凹槽4，位于第一外延层，凹槽4的宽度朝远离衬底1的方向逐渐增大；**第二型外延层填充在沟槽中，第二型外延层的宽度朝远离衬底的方向逐渐增大**。本方案通过将P型外延层的宽度设置为朝远离衬底的方向逐渐增大，可以降低 Q_p/Q_n 的变化对击穿电压的影响，提高半导体器件的电学性能。并且在相同击穿电压下，

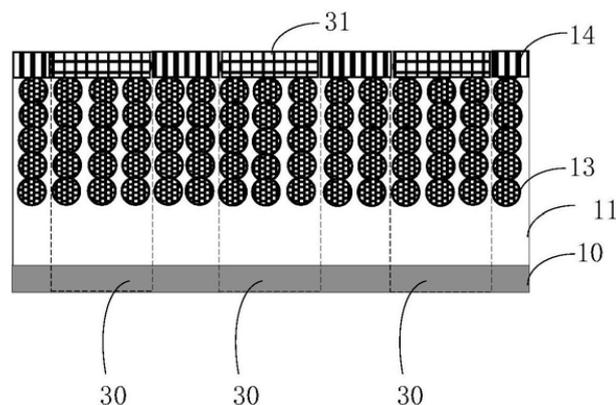
Q_p/Q_n 可以更大的范围内变化，因此对于制作工艺的要求就相对简单，易于降低制作成本。



2017年3月8日，CN108574012A公开了一种超结VDMOS器件及其制备方法，超结VDMOS器件，一种超结VDMOS器件1，该超结VDMOS器件1分为原胞区A、位于原胞区A外周的终端区B以及位于终端区B外周的截止区C，原胞区A包括若干个原胞A1，终端区B上覆盖一层氧化层112；其包括具有第一导电类型的衬底；具有第一导电类型的第一外延层12，作为漂移区；第二导电类型柱13，位于原胞区的第一外延层中以及终端区的第一外延层中；具有第一导电类型的第一注入区14，位于原胞区的第一外延层上；第一注入区的掺杂浓度比漂移区的掺杂浓度高；具有第一导电类型的第二外延层15，位于终端区的第一外延层上；第二外延层的掺杂浓度比漂移区的掺杂浓度低；具有第一导电类型的第二注入区16，位于截止区的第一外延层上；第二注入区的掺杂浓度比漂移区的掺杂浓度高。本方案在超结的基础上通过降低终端区表面的掺杂浓度，可以使用平面MOS工艺制备超结VDMOS器件，这样，可以缩短开发时间，降低成本。

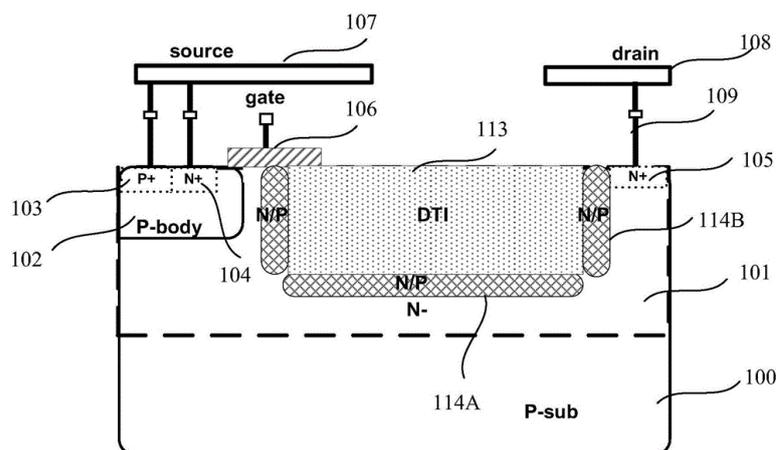


2017年10月9日, CN109637969A 公开了一种超结半导体器件及其制备方法, 该制备方法包括: 在第一型衬底上制备多个超结结构, 多个超结结构沿第一型衬底的横向分为多个相互间隔的芯片区域; **至少在相邻的芯片区域 30 之间的间隔区域表面形成第一型掺杂层 14。该第一型掺杂层可作为隔离层, 对相邻芯片区域之间的表面电场进行隔离, 可以避免相邻芯片区域之间的表面电场对超结结构造成不良影响, 改善芯片产品的性能。**

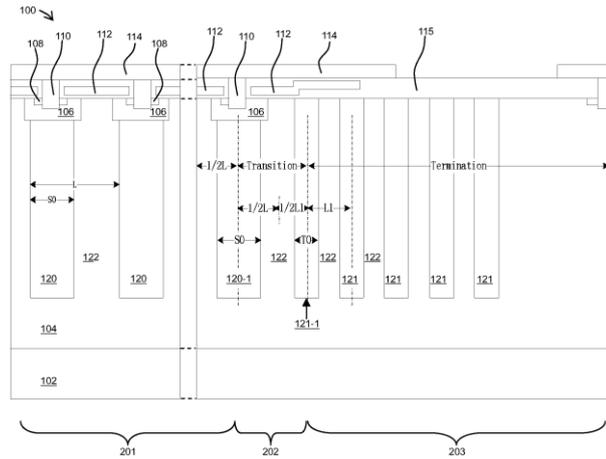


2017年9月7日, CN109473476A 公开了一种横向双扩散金属氧化物半导体器件及其制作方法, 在 N-漂移区 101 中在 P 型阱区 102 和 N+漏区 105 之间形成有深沟槽隔离结构(DTI)113。在深沟槽隔离结构 113 的底部和侧壁上分别形成有水平超结(即交替设置的 N 型注入区和 P 型注入区)114A 和垂直超结 114B。其中水平超结 114A 的 N 型注入区和 P 型注入区沿源端和漏端方向

延伸；垂直超结 114B 的 N 型注入区和 P 型注入区沿垂直于衬底 100 的方向延伸。由于 N/P 高浓掺杂不在表面，有利于改善器件可靠性，且无需厚胶和高能注入工艺，降低工艺成本；而且通过深沟槽隔离结构可以使得第一 P 型注入区和第一 N 型注入区宽度和间隔的可控性增强。

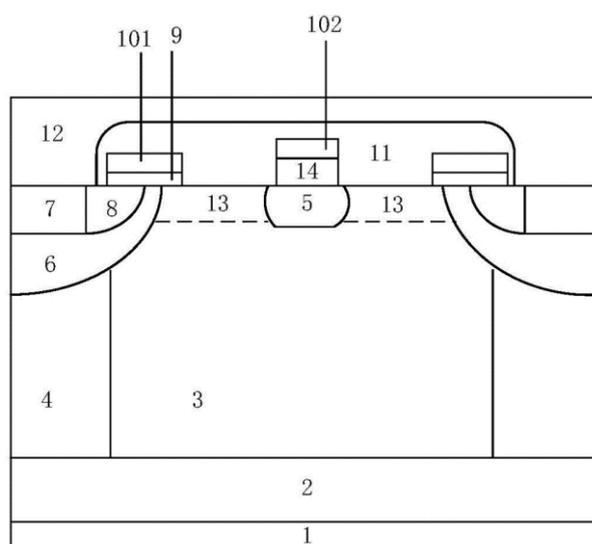


2016 年 2 月 23 日，CN105633128A (CN205564755U) 公开了一种应用在功率半导体场效应晶体管器件中的带有超级结结构设计的半导体器件，超级结结构包含有交替设置的 P-型立柱 Pillar120 和 N-型立柱 122，它们均形成在漂移层 104 之中。有源区 201 中具有 P-型立柱 120 而在过渡区 202 和终端区 203 中则具有 P-型立柱 121。在漂移层 104 中间隔植入若干 P 型掺杂物，形成多个相互分离的 P-型立柱 120 到漂移层 104 中，而漂移层 104 位于相邻 P-型立柱 120 或者 P-型立柱 121 之间的区域则构成了 N-型立柱 122，使有源区 201 具有多个 P-型立柱 120 和多个 N-型立柱 122 相互交替出现则可籍由它们相反的导电类型来实现电荷平衡。在过渡区 202 和终端区 203 中具有多个 P-型立柱 121 和多个 N-型立柱 122 相互交替出现则由它们相反的导电类型来实现电荷平衡。



2020/1/16, CN111244180B 公开了一种改善动态特性的超结 VDMOS 器件, 包括金属化漏极(1)、重掺杂第一导电类型半导体衬底(2)、轻掺杂第一导电类型半导体柱(3); 第二导电类型半导体柱(4); 第二导电类型半导体体区(6); 第二导电类型半导体体区(6)中具有相互接触的第二导电类型半导体重掺杂接触区(7)和第一导电类型半导体源区(8); 第一导电类型半导体柱(3)的第二部分顶部具有轻掺杂第二导电类型埋层(5); 第二导电类型半导体体区(6)和轻掺杂第二导电类型埋层(5)之间的第一导电类型半导体柱(3)的顶部具有第一导电类型轻掺杂 JFET 区(13); 第一导电类型半导体源区(8)与第一导电类型轻掺杂 JFET 区(13)之间的第二导电类型半导体体区(6)为沟道区; 位于第一导电类型半导体源区(8)的第一部分、沟道区和部分第一导电类型轻掺杂 JFET 区(13)之上的平面栅结构, 平面栅结构包括栅氧层(9)及其上的重掺杂的第一多晶硅电极(101); 第二导电类型埋层(5)的上表面具有高 K 介质材料层(14), 高 K 介质材料层(14)上具有重掺杂的第二多晶硅电极(102); 包围平面栅结构和第二多晶硅电极(102)的介质层(11), 实现平面栅结构、第二多晶硅电极(102)和金属化源极(12)的电气隔离; 第二导电类型半导体重掺杂接触区(7)的上表面和第一导电类型半导体源区(8)的第二部分上表面与金属化源极(12)直接接触; 其特征在于, **第一多晶硅电极(101)**

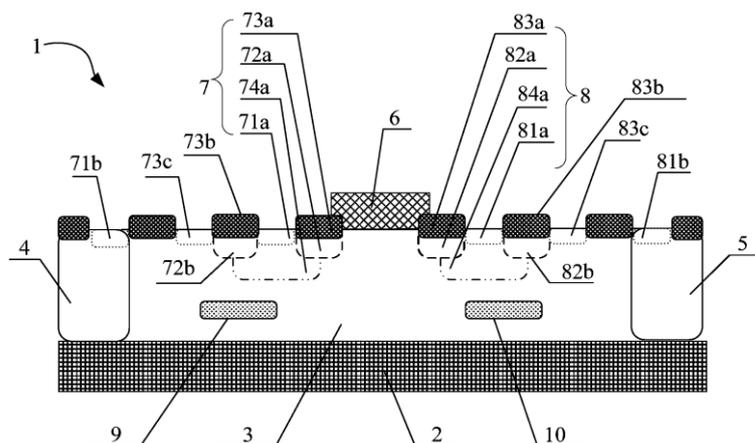
和第二多晶硅电极(102)均与栅极电位连接,第二导电类型埋层(5)的掺杂浓度等于或小于第一导电类型半导体柱(3)的掺杂浓度;第二导电类型埋层(5)的宽度大于高 K 介质材料层(14)的宽度。通过在轻掺杂第一导电类型半导体柱表面引入轻掺杂第二导电类型埋层,并在其上覆盖高 K 介质材料层和第二多晶硅电极,在不影响器件耐压的前提下,使器件在低漏压下具有较小的 C_{gd} , 在高漏压下具有较大的 C_{gd} , 实现既能加快开关时间,减小开关功耗,又能减小开关振荡,缓解 EMI, 从而改善超结器件的动态特性。



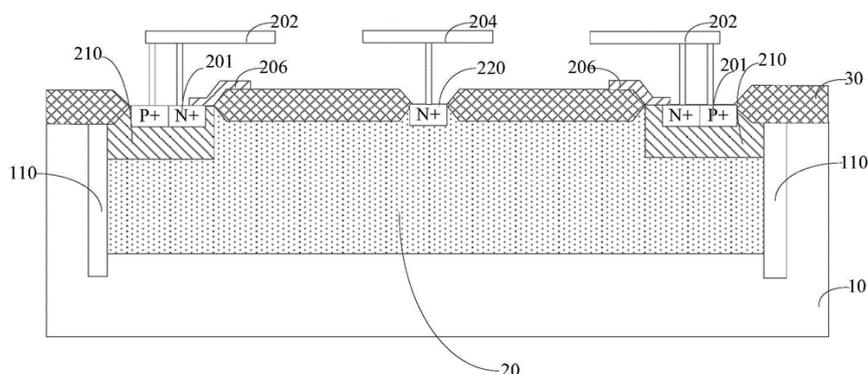
隔离技术

2014年1月8日, CN104766885A 公开了一种对称隔离 LDMOS 器件及其制造方法, LDMOS 器件包括: 埋层隔离层 2; P 型阱区 3; 侧面隔离区 4、5; 栅极 6; 源区 7, 设置在栅极的一侧; 漏区 8, 与源区相对于栅极对称地设置在另一侧, 源区和漏区分别包括设于 P 型阱区 4 内的 N 型掺杂区, 邻接 N 型掺杂区的 N 型漂移区 72a、72b, 设于 N 型漂移区上的场氧化层 73a、73b 以及与设于 N 型掺杂区之上的重掺杂 N 型区 71a; 其特征在于: **在 P 型阱区内, 在 N 型掺杂区 74a 与埋层隔离层 2 之间, 通过 P 型注入形成有 P 型注入区 9, P 型**

注入的杂质注入面密度为 $10^{13} \sim 10^{14} \text{cm}^{-2}$ 量级, P 型注入区 8 与埋层隔离层 2 的距离较其与第一 N 型掺杂区 74a 和第二 N 型掺杂区 84a 的距离更短。因此 P 型阱(P well)不会被耗尽, 能有效改善 LDMOS 器件容易被击穿的问题。

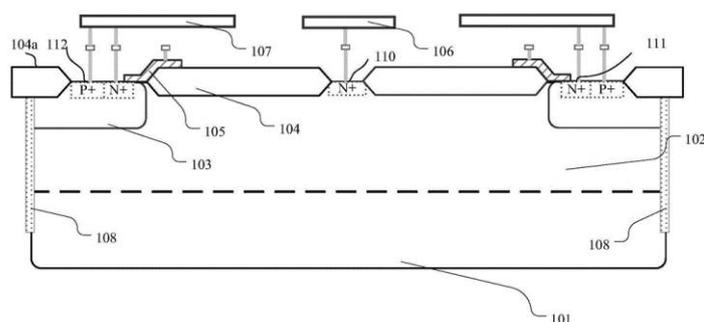


2016 年 12 月 27 日, CN108242467B 公开了一种 LDMOS 器件及其制作方法, LDMOS 器件包括衬底 10、位于衬底 10 上的漂移区 20, 漂移区 20 内包括源区 201 和漏区 220, 以及包围漂移区 20 的沟槽 110, 沟槽 110 的深度大于漂移区 20 的深度。由于其沟槽包围了漂移区, 从而可以限制 LDMOS 器件在高温工作时产生的电子空穴对中的空穴电流流向衬底, 即可以有效隔离 LDMOS 器件与外围逻辑电路, 避免串扰现象的发生。



2016 年 12 月 30 日, CN108269841A 公开了一种横向扩散金属氧化物半导体场效应管, 包括第二导电类型的衬底 101, 衬底 101 上的第一导电类型的

漂移区 102，衬底 101 上的第二导电类型的沟道区 103，漂移区 102 表面的第一导电类型的漏极区 110，沟道区 103 表面的源极区(可以包括第一导电类型掺杂区 111 和第二导电类型掺杂区 112)，漏极区 110 与源极区之间的第一场氧层 104 以及位于沟道区 103 远离漏极区 110 的一侧的第二场氧层 104a。在器件的源极区外围设置一个具有足够深度的隔离沟槽 108，其是从**第二场氧层 104a 向下贯穿至衬底 101 的隔离沟槽 108**。隔离沟槽 108 内的填充物的电导率小于衬底 101、漂移区 102 及沟道区 103 的电导率。能够减小器件在高温工作的条件下的漏电流对外围控制电路的串扰。

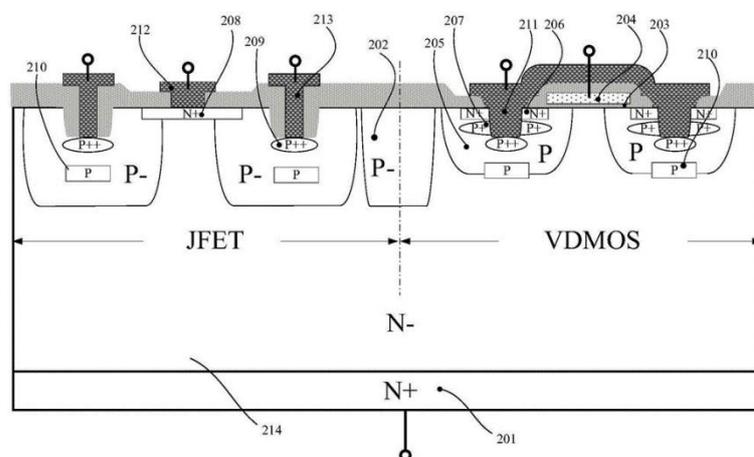


集成结构

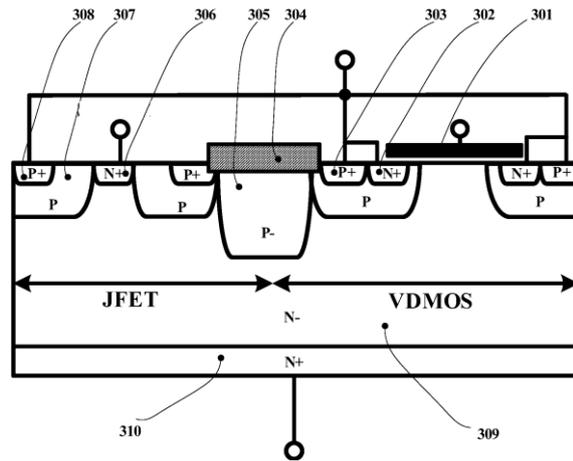
在集成技术中，提出了功率器件和 JFET、二极管集成的技术，高低压器件的集成技术。

2016 年 8 月 31 日，CN107785366B (JP2019531598A) 公开了一种集成有结型场效应晶体管的器件及其制造方法，JFET 区包括 JFET 源极 208、JFET 源极的金属电极 212、JFET 金属栅极 213、第一阱 202 以及钳位区 210。器件的 JFET 区包括：JFET 源极为第一导电类型；第一阱为第二导电类型；钳位区为第二导电类型且离子浓度大于第一阱的离子浓度。本发明**通过第二导电类型的钳位区提高了第一阱的离子浓度**，增强了沟道区的耗尽能力，使得 JFET 夹断电压

稳定性会有一定程度的提高。同时钳位区的存在会增强该处电场强度，改变雪崩电流的路径，提升了器件的稳定性。

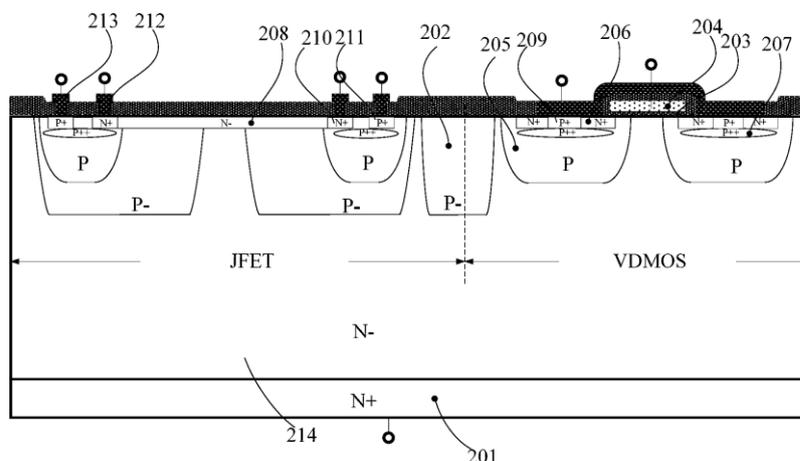


2016年8月31日, CN107785305A 公开了一种集成耗尽型结型场效应晶体管的器件, 包括 JFET 区、功率器件区 VDMOS、设于器件背面的第一导电类型的漏极、及设于漏极朝向器件正面的面上的第一导电类型区, **JFET 区和功率器件区共享漏极 301 和第一导电类型区 309, JFET 区和功率器件区的交界处形成有隔离结构**, 该隔离结构包括 P 型的隔离阱 305 和设于隔离阱 305 表面的绝缘注入阻挡层 304。本发明在 JFET 区和功率器件区的交界处采用一个较深的第二导电类型的隔离阱进行隔离, 在推阱时使其有着足够的结深, 这样漏电路径大大加长, 起到了良好的隔离效果, 该隔离阱的横向距离可以做到很短, 大大节约了整个集成器件的面积。该隔离阱可以与结终端扩展技术相兼容, 无需增加额外



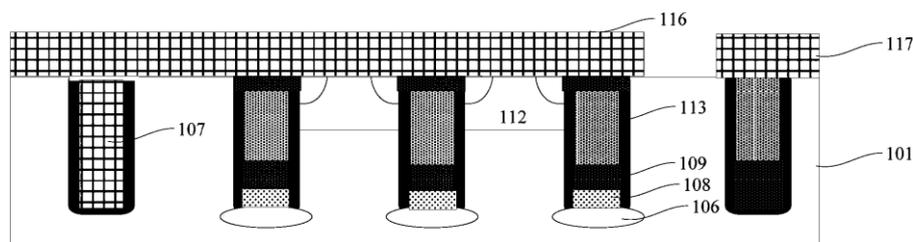
的光刻版。

2016年8月31日, CN107785367A 公开了一种集成有耗尽型结型场效应晶体管的功率器件及其制造方法, 器件包括: 阱区, 为第二导电类型且形成于第一导电类型区内; JFET 源极 210, 为第一导电类型且形成于阱区内; JFET 源极的金属电极 212, 形成于 JFET 源极上且与 JFET 源极接触; 横向沟道区 208, 为第一导电类型, 形成于两相邻 JFET 源极之间且两端与两相邻 JFET 源极接触; JFET 金属栅极 213, 形成于阱区上。本发明可以通过调节横向沟道区 208 的注入剂量和能量, 得到不同档位的夹断电压, 因而与传统的纵向沟道形成的 JFET 相比, 其夹断电压调控更加方便。同时由于横向沟道浓度更加均匀, 其夹断电压也会更加稳定。



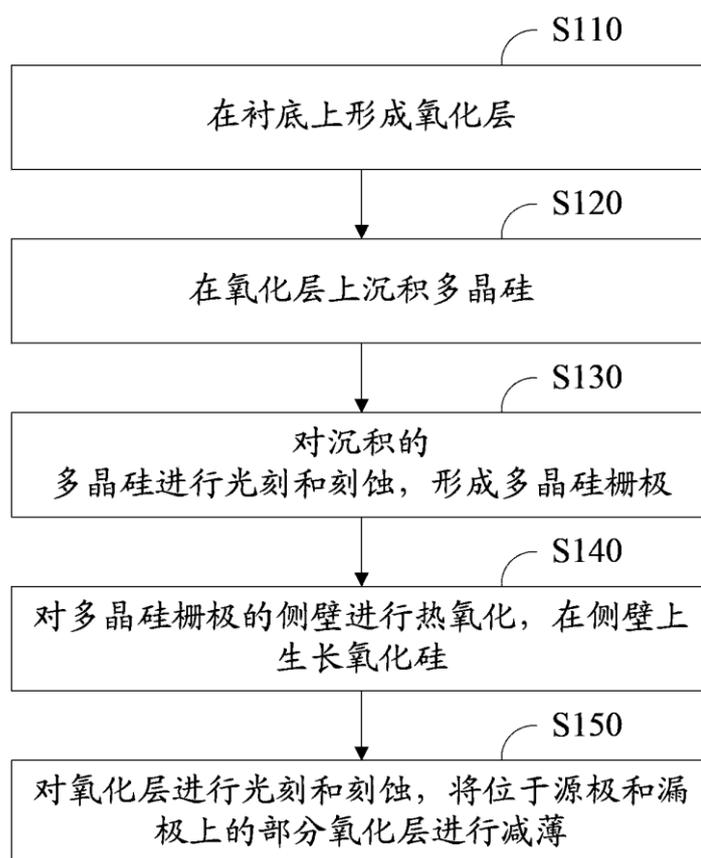
2017年6月21日, CN109103177A (CN207217532U) 公开了一种集

成肖特基结的功率器件结构及其制造方法，包括：N型外延层，其具有表面形成氧化层的第一沟槽 102、第二沟槽 103 及第三沟槽 104，**第一沟槽底部形成有肖特基结，第二沟槽中有与肖特基结相连的肖特基金属层 107**；绝缘材料 109 及栅介质层 112；互连的多晶硅 113；P 型体区 114 及 N 型源区 115；源极金属层 116 以及栅极金属层 117。本发明采用了全沟槽结构，将栅多晶硅下陷道沟槽中，上面通过氧化膜隔离，并通过另外的沟槽引出到栅电极上，因此无需单独的电极接触光刻工艺，避免了传统的沟槽型功率器件因为电极接触对准偏离而造成的阈值 V_t 漂移等问题，并且有效减小功率器件的脚距，可实现更高的器件密度。



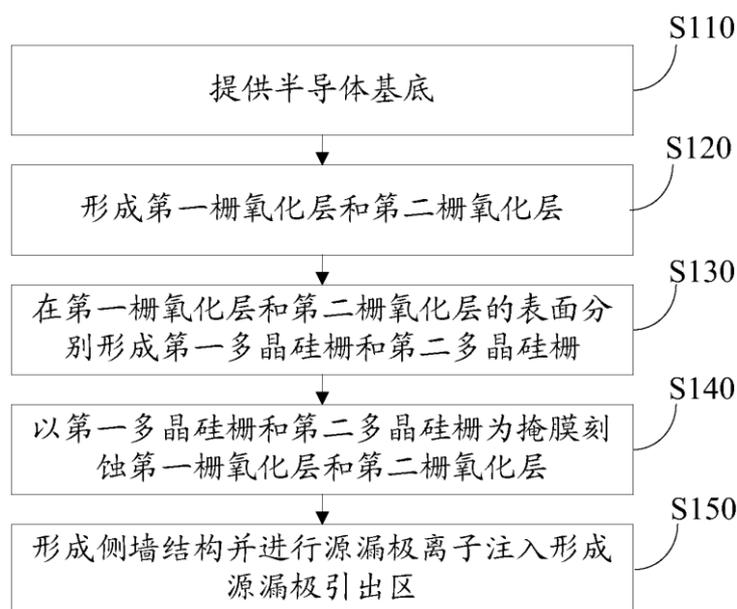
2013/4/2, CN104103503A 公开了一种半导体器件栅氧化层的形成方法，包括下列步骤：在衬底上形成氧化层；在所述氧化层上沉积多晶硅；对所述多晶硅进行光刻和刻蚀，形成多晶硅栅极；对所述多晶硅栅极的侧壁进行热氧化，在所述侧壁上生长氧化硅；对所述氧化层进行光刻和刻蚀，将位于源极和漏极上的部分所述氧化层进行减薄。本方案改变了传统的工艺顺序，**在多晶硅刻蚀之后，先进行多晶硅栅极侧壁的氧化，再做高压器件区氧化层的刻蚀**。由于侧壁氧化时，氧化层位于多晶硅栅极下方的部分和位于源、漏极上方的部分厚度基本持平，因此氧化层位于多晶硅栅极下方的部分没有暴露给外界，这时进行多晶硅栅极侧壁

的氧化，氧气只会和多晶硅栅极的侧壁反应形成侧壁氧化层，而不会像传统技术一样沿栅极氧化层两端渗入而与多晶硅接触，造成纵向氧化反应导致栅极氧化层变厚。因此**保证了栅氧化层厚度的均匀性，大大改善了栅氧化层的横向均匀度，使高压器件工作更加稳定。**

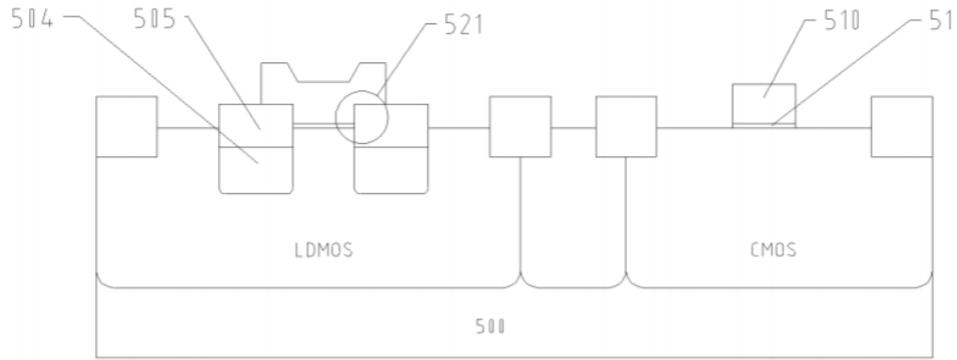


2015年3月9日，CN106033744A 公开一种半导体器件的制备方法，包括以下步骤：提供半导体基底，半导体基底包括高压器件区和低压器件区；形成第一栅氧化层和第二栅氧化层；第一栅氧化层的厚度大于第二栅氧化层的厚度；在第一栅氧化层和第二栅氧化层的表面分别形成第一多晶硅栅和第二多晶硅栅；以第一多晶硅栅和第二多晶硅栅为掩膜刻蚀第一栅氧化层和第二栅氧化层，直至将第一栅氧化层的厚度刻蚀至目标厚度；形成侧墙结构并进行源漏极离子注入形

成源漏极引出区。本方案对高压器件区上的第一栅氧化层和低压器件区上的第二栅氧化层的刻蚀是以第一多晶硅栅和第二多晶硅栅为掩膜同步进行的,刻蚀过程无需再增加单独的光刻工艺步骤来对高压器件区的第一栅氧化层进行减薄,简化了工艺步骤的同时也节省了一层光罩,降低了工艺成本。

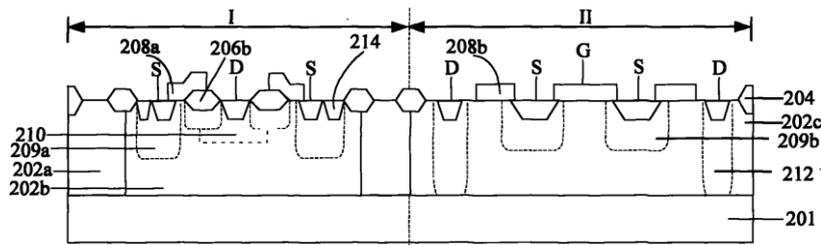


2011年12月29日,CN103187279B公开了一种半导体器件的制作方法,半导体衬底包括 LDMOS 区和 CMOS 区;在半导体衬底上形成牺牲氧化层;去除牺牲氧化层;在经过牺牲氧化处理的半导体衬底上形成掩蔽层;利用掩蔽层作为掩膜,形成 LDMOS 的漂移区 504,然后在漂移区上方形成漂移区氧化层 505;去除掩蔽层。本方案通过将牺牲氧化的过程设置在形成 LDMOS 漂移区氧化层之前,解决了 HV LDMOS 漂移区氧化层边缘硅容易裸露,产生结边缘漏电,导致 LDMOS 器件击穿的问题,从而提高了 LDMOS 的击穿电压;并利用薄的掩蔽层形成薄的漂移区氧化层,同时就降低了生产的成本。本方案适用于 BCD 工艺等。

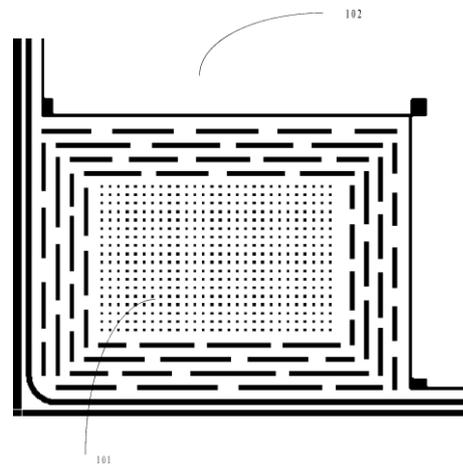


其他技术

2009年10月28日, CN102054774A公开了一种VDMOS晶体管兼容LDMOS晶体管及其制作方法, 衬底具有LDMOS晶体管区I和VDMOS晶体管区II; N埋层区域201; 外延层; N阱202a, P阱202b, 高压N阱; 硅局部氧化隔离(LOCOS)区204, 漂移区206; 栅极208a, 栅极208b; PBODY区209a; PBODY区209b, N型GRADE区210, 位于LDMOS晶体管区I漂移区206之间的外延层内, **在LDMOS晶体管区的漂移区之间的外延层内注入N型离子, 并经过退火工艺后, 使N型离子扩散均匀且深度加大, 形成N型GRADE区; NSINK区212, 位于VDMOS晶体管区II的硅局部氧化隔离(LOCOS)区204与邻近栅极208b之间的外延层内, NSINK区212与N埋层区域201连通; 源极S; 漏极D, 位于LDMOS晶体管区I的N型GRADE区210内和NSINK区212内; P+区214。在VDMOS晶体管区的隔离区与邻近栅极之间的外延层内形成NSINK区, NSINK区与N埋层区域连通。使漏极之间连通, 从而实现BCD工艺平台上LDMOS晶体管与VDMOS晶体管的兼容技术。**

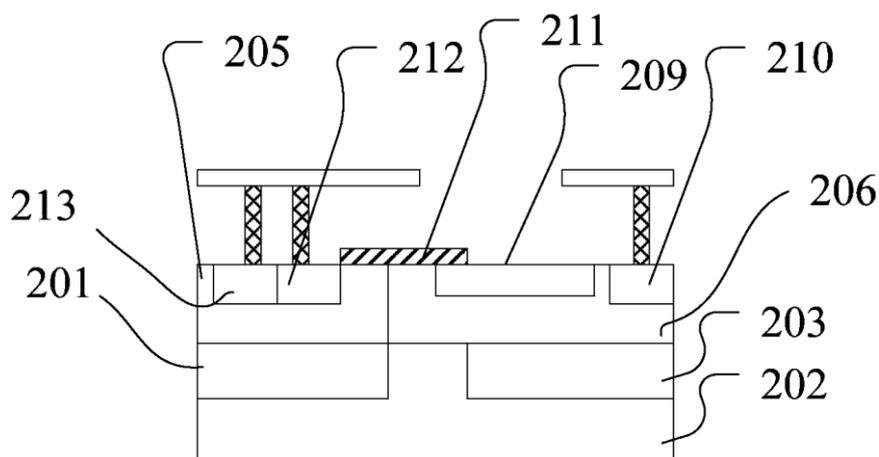


2010年12月22日, CN102569387B 公开了一种双扩散金属氧化物半导体器件, 源极金属层 101 的图形与栅极金属层 102 的图形不同, 后续器件封装制程中的封装设备能够根据图形的不同, 实现区分并识别源极金属层和栅极金属层, 该方案 无需增大源极金属层和栅极金属层之间的距离, 能够降低 DMOS 器件面积, 进而实现降低生产成本, 优化 DMOS 器件性能。

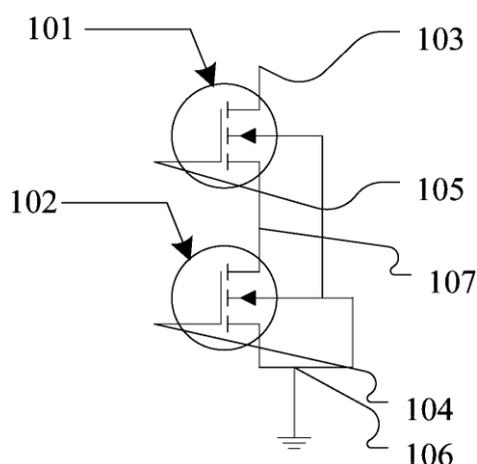


2013年12月6日, CN104701372A 公开了一种横向扩散金属氧化物半导体器件及其制造方法, 埋层区包括第一埋层 201 和第二埋层 203。其中, 第一埋层 201 与第二埋层 203 的掺杂杂质的导电类型相反, 第一扩散区 205 与第二扩散区 206 的掺杂杂质的导电类型相反, 第二扩散区 206 与第二埋层 203 的掺杂杂质的导电类型相同, **利用第二埋层 203 与第二扩散区 206 一起组成器件的高压耐压区**, 只需很短的高温推结时间, 从而可以节约制造成本。经过高温推结后, 第二埋层的杂质浓度很高, **器件在导通状态下的电流路径为第二扩散区 206 的下部与第二埋层 203 组成的区域**, 远离器件表面, 不易受器件表面的杂质浓

度在后续工艺中改变的影响，从而可以增加器件的电流能力、减小导通电阻，并增加了器件的可靠性。

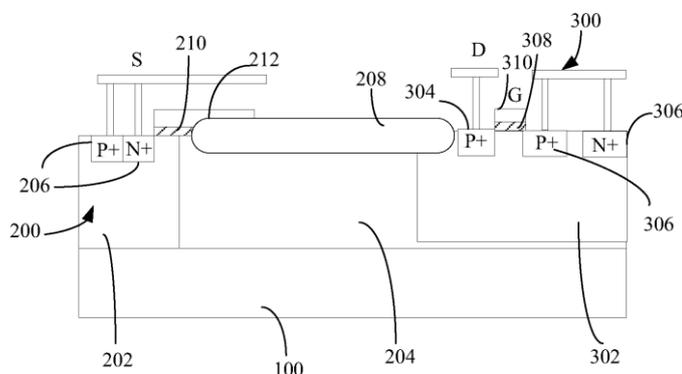


2014年5月4日，CN105097795B公开了一种具ESD保护结构的半导体器件，包括高压功率器件101，ESD保护结构是NMOS管102，**NMOS管的漏极与功率器件101的源极共用**，功率器件的衬底引出区与NMOS管的衬底引出区和源极连接、作为地线引出。本发明的NMOS管的漏极与功率器件的源极共用，因此加入了ESD保护结构后器件增加的面积较小。且高压功率器件源极处能够得到较低的holding电压，从而保护了栅氧，提高了源极可靠性。

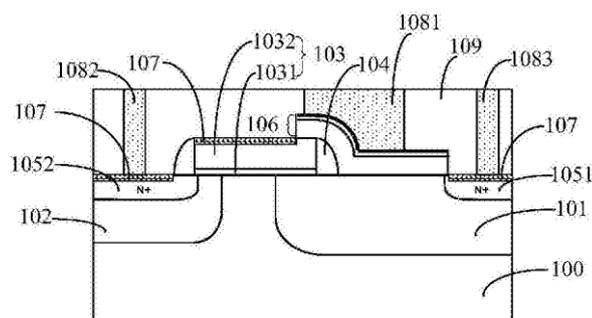


2015年1月5日，CN105826371A公开了一种高压P型横向双扩散金属氧化物半导体场效应管，通过在N型LDMOS管200的漏极设置有PMOS管

300, 能够保证器件在导通时拥有 PMOS 管的性能, 在关断时通过 N 型 LDMOS 管进行耐压, 从而实现高压 P 型 LDMOS 的耐压性能。

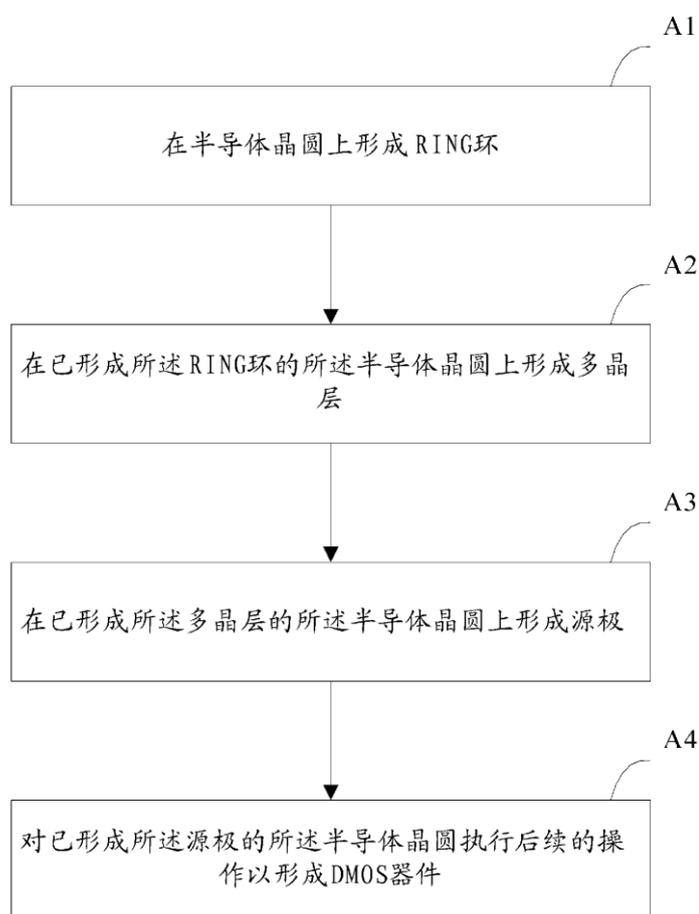


2017 年 8 月 4 日, CN109390399A 公开了一种 LDMOS 器件及其制造方法和电子装置, 包括**金属硅化物阻挡层 106, 其覆盖栅极结构 103 和漏极 1051 之间的至少部分半导体衬底 100 的表面, 以及设置在至少部分金属硅化物阻挡层的表面上的第一接触孔 1081, 进而增强漂移区 101 的耗尽来提高器件的击穿电压, 进而提高器件的性能, 本发明的 LDMOS 器件在漏端的漂移区内无需设置浅沟槽隔离结构, 因此, 大大降低了器件的导通电阻。**



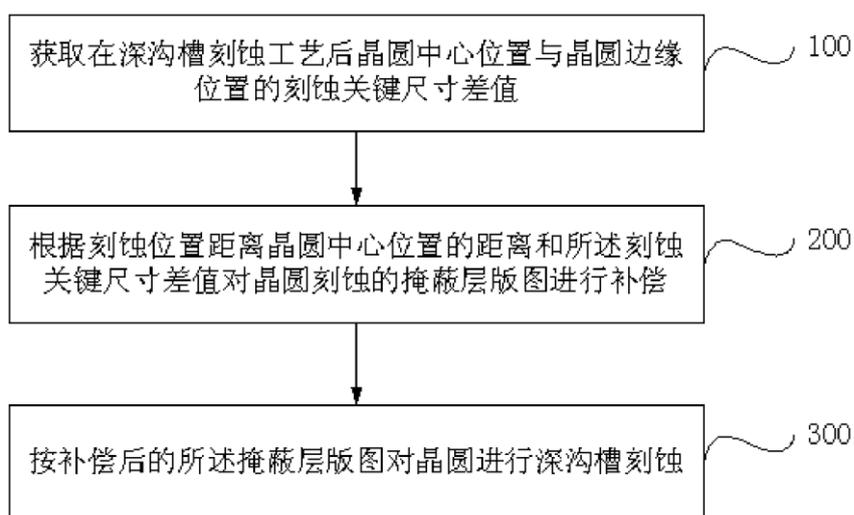
2012 年 7 月 17 日, CN103545214B 公开了一种 DMOS 半导体器件的制造方法, 包括下列步骤: (A1)在半导体晶圆上形成 RING 环; (A2)在已形成 RING 环的半导体晶圆上形成多晶层; (A3)在已形成多晶层的半导体晶圆上形成源极; (A4)对已形成源极的半导体晶圆执行后续的操作以形成 DMOS 器件。由于漏极

在晶圆的背面并且源极在晶圆的正面，故无需源极注入过程中的光刻，而是通过前层多晶层的掩蔽来形成自然的源极，即本发明所公开的用于制造 DMOS 半导体器件的方法仅需要进行 4 次光刻，从而显著地降低了成本。此外，由于无源极注入过程中的光刻，故本发明所公开的用于制造 DMOS 半导体器件的方法不会将 P 阱 (pwell) 引出。



2013 年 1 月 10 日, CN103065943B 公开一种深沟槽刻蚀工艺的关键尺寸补偿方法, 包括: 获取刻蚀关键尺寸差值; 根据刻蚀位置距离晶圆中心位置的距

离和所述刻蚀关键尺寸差值对晶圆刻蚀的掩蔽层版图进行补偿;按补偿后的所述掩蔽层版图对晶圆进行深沟槽刻蚀。本发明通过以关键尺寸差值的 1/2 作为补偿值对掩蔽层版图的刻蚀图案尺寸进行补偿,改善由于深沟槽刻蚀工艺中晶圆不同位置关键尺寸分布不均导致的刻蚀速率和刻蚀尺寸差异,大大提高了深沟槽刻蚀结构的关键尺寸均匀性。



3.1.7.2 IGBT 技术

在 IGBT 技术中,布局重点在沟槽栅、终端技术、载流子存储@增强层方面、背面工艺@保护层技术。

在沟槽栅技术中,布局包括:沟槽栅从缓冲区和集电区贯穿至埋层;增加栅极沟槽结构;沟槽栅结构的 IGBT 集电极从正面引出等;

在终端技术中,对终端结构进行了设计;在载流子存储@增强层中,在有源区增加了载流子存储层、载流子增强层。这些技术主要集中在 2013 年。

华润微还对背面工艺和保护层技术布局了较多专利,主要集中在

2011-2013 年，例如，利用外延层形成集电区；在正面结构上形成保护层；背面形成沟槽并填充多晶硅形成 PN 结；采用激光扫描工艺对衬底的背面进行平坦化处理形成 P 型和 N 型间隔结构。

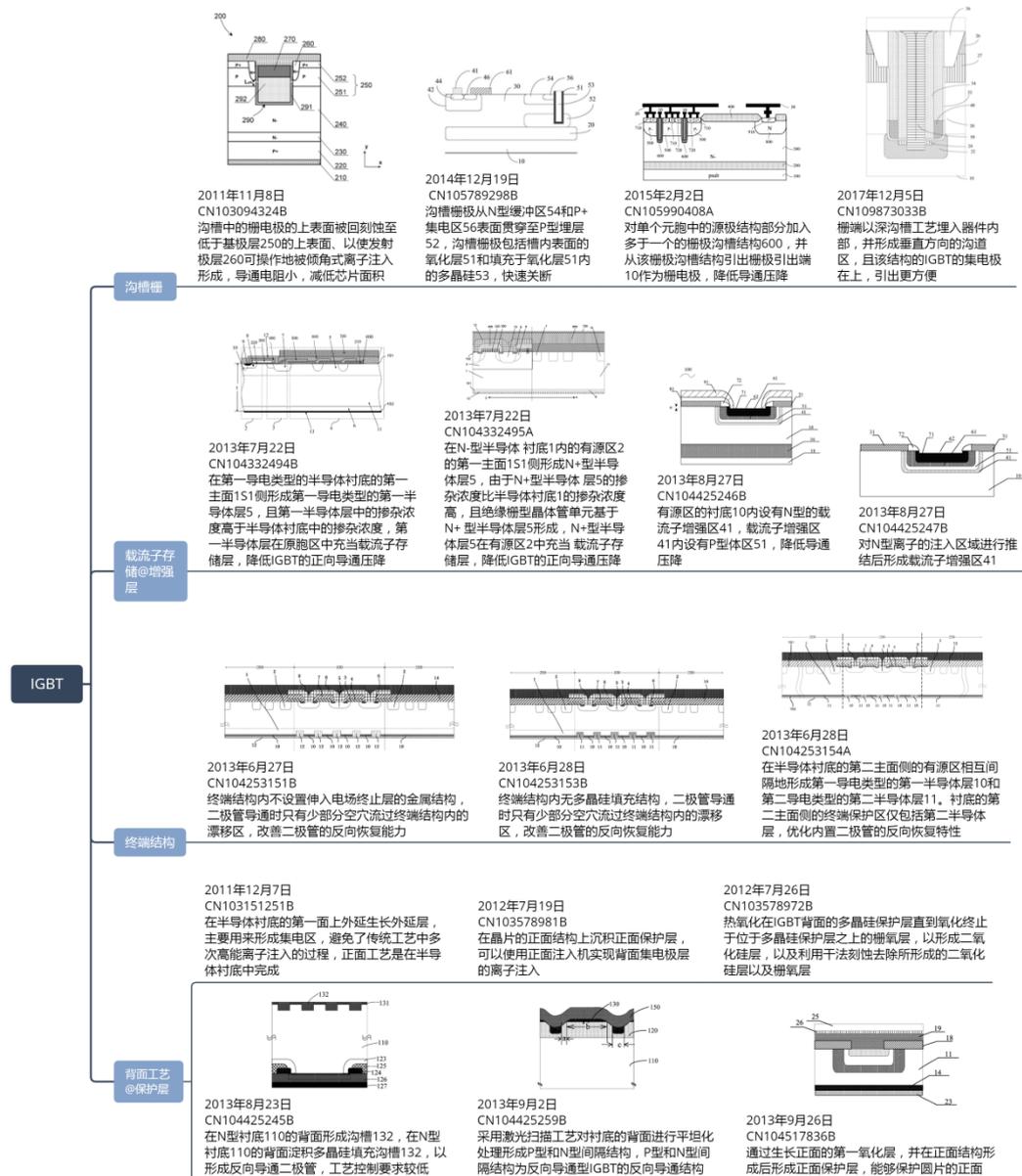
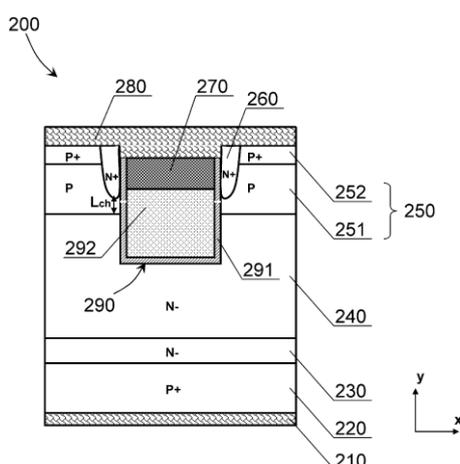


图 3.1-25 IGBT 技术分布情况

(1) 沟槽栅

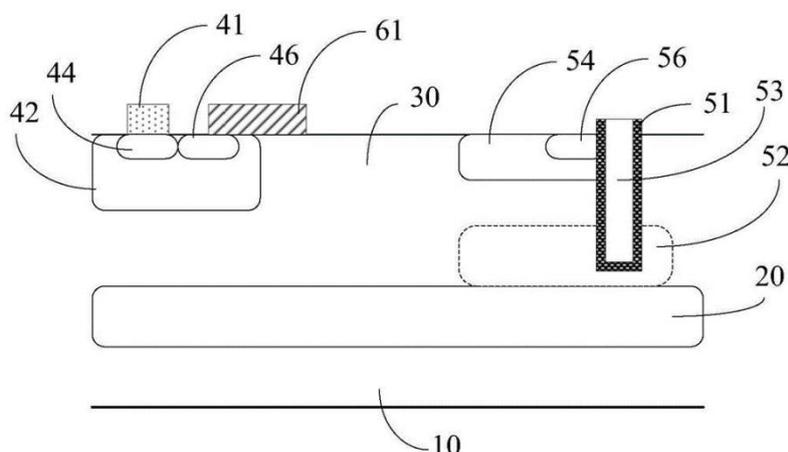
2011 年 11 月 8 日，CN103094324B 公开了一种沟槽型绝缘栅双极型晶体

管及其制备方法，该沟槽型 IGBT 包括集电极层、漂移层、发射极层、沟槽、以及形成于沟槽的栅介质层 291 和栅电极 292，该沟槽中的栅电极的上表面被回刻蚀至低于基极层 250 的上表面、以使发射极层 260 可操作地被倾角式离子注入形成。因此，该制备方法中包括栅电极的回刻蚀步骤以及以所述栅电极为掩膜倾角式离子注入形成发射极层的步骤。采用该方法制备形成的沟槽型 IGBT 的导通电阻小，并能兼顾减低其芯片面积。

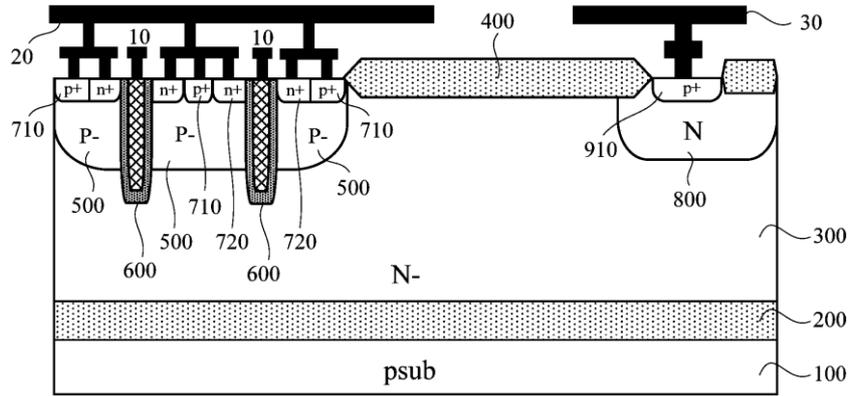


2014 年 12 月 19 日，CN105789298B 公开了一种横向绝缘栅双极型晶体管及其制备方法，横向绝缘栅双极型晶体管包括：衬底 10、衬底 10 上的阳极端和阴极端，位于阳极端与阴极端之间的漂移区 30 和栅极 61，以及与阳极端邻接的沟槽栅极。阳极端包括衬底上的 P 型埋层 52、P 型埋层 52 上的 N 型缓冲区 54 以及 N 型缓冲区 54 表面的 P+ 集电区 56。阴极端包括衬底 10 上的 P 型体区 42，P 型体区 42 表面的 P+ 区 44 和 N+ 区 46，以及作为发射极的电极的阴极金属 41。栅极 61 包括栅氧化层和多晶硅栅。沟槽栅极从 N 型缓冲区 54 和 P+ 集电区 56 表面贯穿至 P 型埋层 52，沟槽栅极包括槽内表面的氧化层 51 和填充于氧化层 51 内的多晶硅 53。本发明当 IGBT 关断时，集电极的 P+ 区与沟槽栅极为反向偏置，寄生 PMOS 开启并处于放大状态，开始抽取漂移区中残

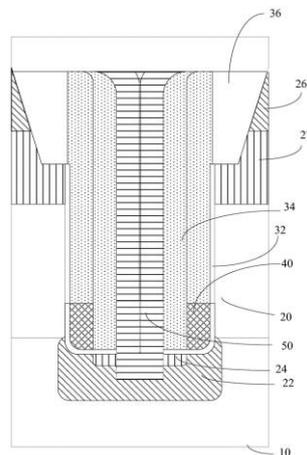
余的少子空穴，通过栅氧的厚度可控制器件耐压，并保证较快的开关速度，达到快速关断的目的。



2015年2月2日,CN105990408A公开了一种横向绝缘栅双极型晶体管,包括:第一导电类型衬底100、绝缘层200、第二导电类型外延层300、场氧化层结构400、第一导电类型阱500、栅极沟槽结构600、第一导电类型源极掺杂区710、第二导电类型源极掺杂区720、第二导电类型阱800、第一导电类型漏极掺杂区910、栅极引出端10、源极引出端20和漏极引出端30。**对单个元胞中的源极结构部分加入多于一个的栅极沟槽结构600,并从该栅极沟槽结构引出栅极引出端10作为栅电极**,因而当在栅电极加上一定电压时,沟槽两侧的栅绝缘层与第一导电类型阱都形成反型层,即导电沟道;当漏极结构(第一导电类型漏极掺杂区)上有电压时,导电沟道中有电流流过。如果栅极沟槽结构的个数为N个,则电流流过的导电沟道就有2N个,较之传统的单沟道SOI-LIGBT的单个元胞结构中电流密度显著增加,从而可以在多元胞结构下总体提高了单个器件的电流密度。因而,在同样的工作电流下,上述横向绝缘栅双极型晶体管因为单个元胞结构更大的工作电流使得器件面积小、导通压降小。

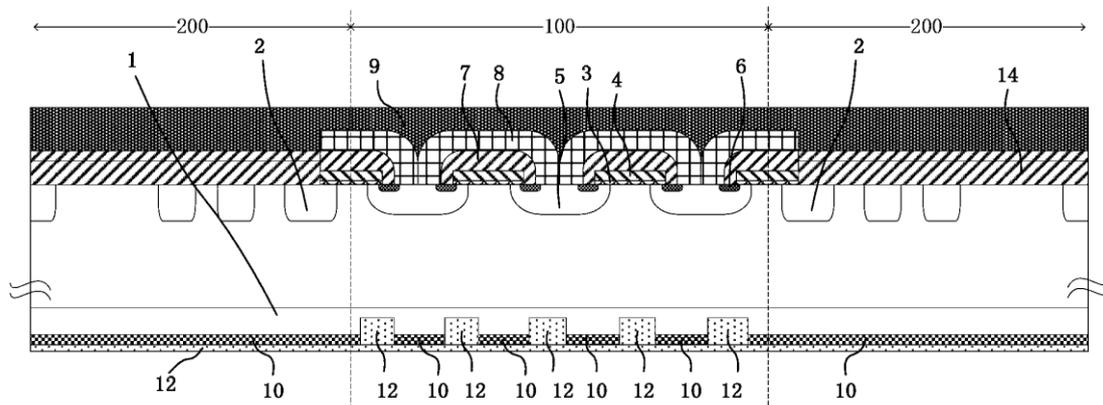


2017年12月5日, CN109873033B 公开了一种 IGBT 及其制造方法。所述 IGBT 包括: 衬底 10; 第一导电类型基极 20; 沟槽, 开设于第一导电类型基极表面并向下延伸; 第一导电类型缓冲区, 设于第一导电类型基极内、沟槽两侧; 集电极掺杂区 26, 设于第一导电类型缓冲区内、沟槽两侧; 第二导电类型基极 22; 栅氧化层 32, 设于沟槽的内表面; 多晶硅栅 40, 位于栅氧化层内侧, 填充于沟槽底部及侧壁的部分区域; 发射极掺杂区 24, 设于第二导电类型基极内、多晶硅栅之间的沟槽下部; 导电栓塞 50, 从沟槽的上方向下延伸, 贯穿发射极掺杂区后与第二导电类型基极接触; 绝缘氧化层 34, 填充于沟槽内、导电栓塞与多晶硅栅之间。本发明将栅端以深沟槽工艺埋入器件内部, 并形成垂直方向的沟道区, 可以最大化降低高压器件所需要的横向尺寸(pitch), 且该结构的 IGBT 的集电极在上, 引出更方便, 且可以兼容传统的隔离结构工艺。



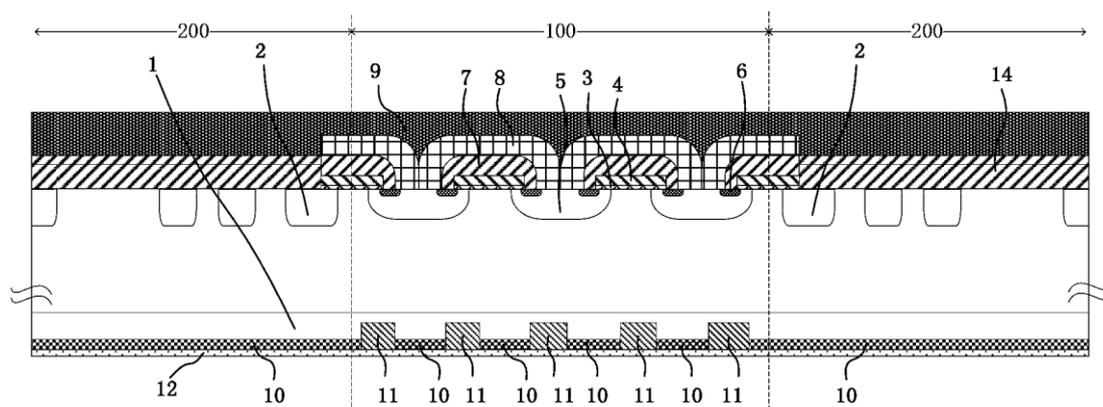
(2) 终端结构

2013年6月27日, CN104253151B公开了一种场截止型反向导通绝缘栅双极型晶体管(FS型RC-IGBT)及其制造方法, IGBT结构包括终端结构200和有源区100, 场截止型反向导通绝缘栅双极型晶体管的衬底为N型衬底, 衬底的背面设有N型的电场终止层1(即场截止层), 电场终止层背离衬底的一面设有背面P型结构10, 背面P型结构的表面设有背面金属层12; 有源区内形成有多个从背面金属层贯穿背面P型结构至电场终止层内的槽口, 背面金属层的金属填充入槽口中形成伸入电场终止层的金属结构。本发明**终端结构内不设置伸入电场终止层的金属结构, 二极管导通时只有少部分空穴流过终端结构内的漂移区, 减小了内置二极管恢复时恢复电流的大小, 改善了二极管的反向恢复能力。**



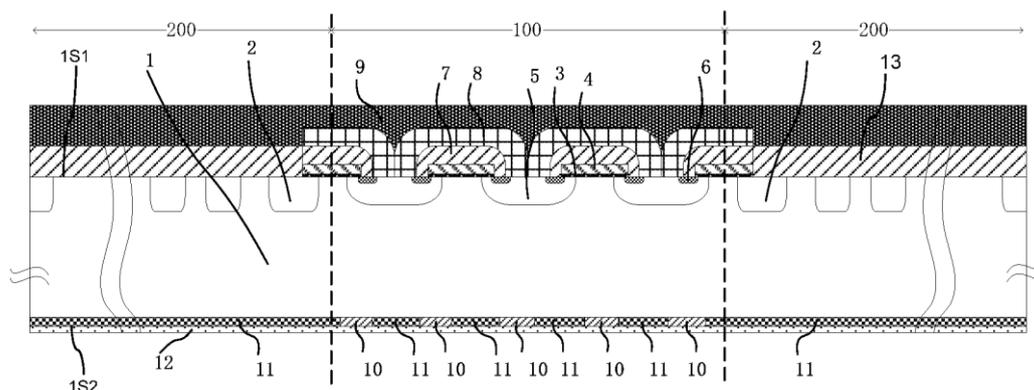
2013年6月28日, CN104253153B (US9443926B2)公开了一种场截止型反向导通绝缘栅双极型晶体管(FS型RC-IGBT)及其制造方法, 包括终端结构200和有源区100, 衬底为N型衬底, 衬底的背面设有N型的电场终止层1, 电场终止层背离衬底的一面设有背面P型结构10, 背面P型结构的表面设有背面金属层12; 有源区内形成有多个从背面P型结构贯穿至电场终止层内的

多晶硅填充结构 11。终端结构 200 内不设置多晶硅填充结构 11；衬底的正面、终端结构内设有场限环 2，场限环上设有氧化硅层 14；衬底的正面、有源区内设有 P 阱 5，P 阱内设有 N 型的发射极 6，衬底的正表面设有栅氧化层 3，栅氧化层的表面设有多晶硅栅极 4，多晶硅栅极被氧化硅层覆盖，P 阱上设有发射极金属结构 8，氧化硅层和发射极金属结构上覆盖有钝化层 9。本方案的**终端结构内无多晶硅填充结构，二极管导通时只有少部分空穴流过终端结构内的漂移区，减小了内置二极管恢复时恢复电流的大小，改善了二极管的反向恢复能力。另外，采用多晶硅替代 N+ 导电结构来实现反向导通的功能，由于多晶硅的电阻率更容易调节，因此更容易优化折中 IGBT 及其内置二极管的特性。**



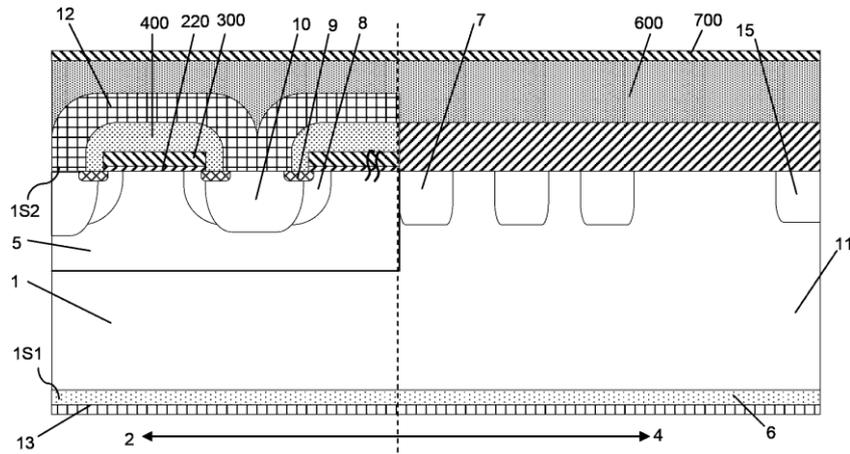
2013 年 6 月 28 日, ,CN104253154A (US9595520B2) 一种具有内置二极管的 IGBT 及其制造方法, IGBT 包括: 具有第一主面 1S1 和第二主面 1S2 的第一导电类型的半导体衬底, 其中, 半导体衬底包括有源区 100 和有源区外侧的终端保护区 200; 形成于有源区的第一主面侧的绝缘栅型晶体管单元, 在其导通时其形成有第一导电类型的沟道; **相互间隔地形成于半导体衬底的第二主面侧的有源区的第一导电类型的第一半导体层 10 和第二导电类型的第二半导体层 11。其中 IGBT 在所述半导体衬底的第二主面侧的终端保护区仅包括第二半导**

体层。这样，可以减少当内置二极管反向恢复时，存储于该终端保护区下方的半导体衬底内的载流子数量，从而可以很好的优化内置二极管的反向恢复特性。

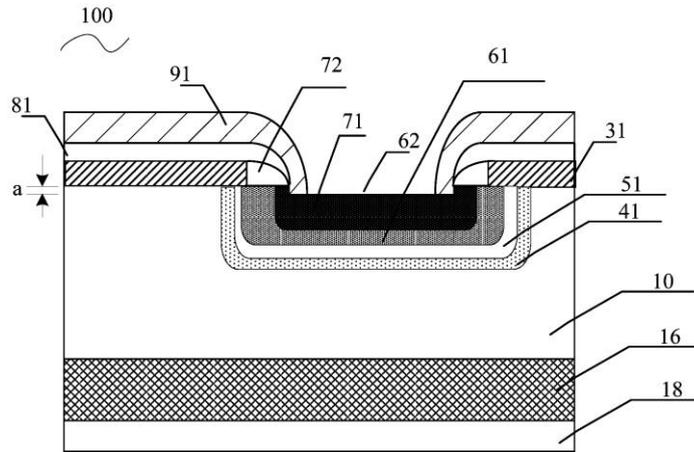


(3) 载流子存储或增强层

2013年7月22日, CN104332494B 公开了一种绝缘栅双极晶体管及其制造方法, **在第一导电类型的半导体衬底的第一主面 1S1 侧形成第一导电类型的第一半导体层 5, 且第一半导体层中的掺杂浓度高于半导体衬底中的掺杂浓度;**在终端保护区 4 内的第一半导体层 5 的第一主面 1S1 侧形成保护终端, 在原胞区 2 内的第一半导体层 5 的第一主面 1S1 侧形成绝缘栅型晶体管单元。这样, **第一半导体层在原胞区中充当载流子存储层, 从而可以降低本发明中的绝缘栅双极晶体管的正向导通压降;**同时提高了保护终端表面的杂质浓度, 降低了可动电荷对保护终端表面电场的影响, 从而提高本发明中的绝缘栅双极晶体管的耐压可靠性。

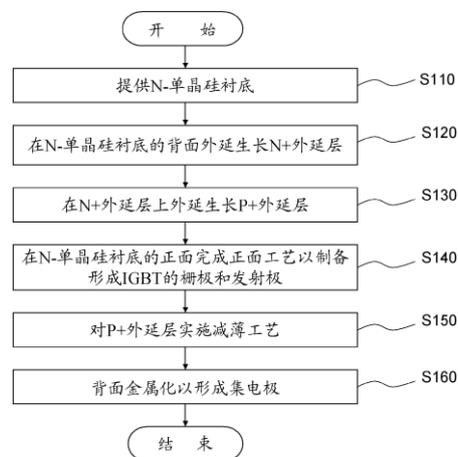


2013年8月27日, CN104425246B 公开了一种绝缘栅双极型晶体管及其制备方法, IGBT 包括外围的终端结构和被终端结构包围的有源区。绝缘栅双极型晶体管 100 的衬底为 N 型衬底 10, 衬底 10 背面设有 P 型区 16, P 型区 16 背面设有背面金属结构 18, 终端结构内设有终端保护环。有源区的衬底 10 正面设有多晶硅栅 31, 衬底 10 上多晶硅栅 31 的两侧设有侧墙 72, 衬底 10 上设有覆盖多晶硅栅 31 和侧墙 72 的层间介质 81, 层间介质 81 上覆盖有金属引线层 91。有源区的衬底 10 内设有 N 型的载流子增强区 41, 载流子增强区 41 内设有 P 型体区 51, P 型体区 51 内设有 N 型重掺杂区 61, N 型重掺杂区 61 内设有 P 型重掺杂区 71, P 型重掺杂区 71 表面形成有向内凹陷的凹坑区域 62, 凹坑区域 62 相对于两侧的衬底向内凹陷的深度 (即图中的 a) 为 0.15 微米~0.3 微米。本发明通过设置载流子增强区, 能够增加沟道的载流子浓度, 降低导通压降。同时该浅坑能够使器件获得良好的杂质分布和更大的金属接触面积, 提高了器件的性能。



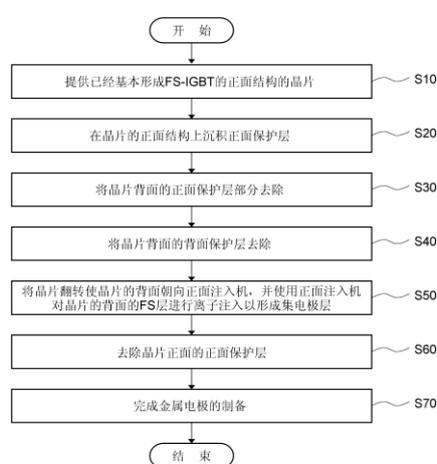
(4) 背面工艺@保护层技术

2011年12月7日, CN103151251B 公开了一种沟槽型绝缘栅双极型晶体管及其制备方法, 该制备方法包括步骤: (1)提供半导体衬底; (2)在半导体衬底的第一面上外延生长外延层; (3)在半导体衬底的第二面上制备形成沟槽型 IGBT 的栅极和发射极; (4)对外延层进行减薄以形成集电区; (5)在集电区上金属化以形成集电极。本方案外延的半导体层主要用来形成集电区, 避免了传统工艺中多次高能离子注入的过程; 并且, 沟槽型 IGBT 正面工艺是在半导体衬底中完成, 半导体衬底的质量优于外延生长的半导体层的质量, 因此, 能大大提高沟槽型 IGBT 的器件性能。

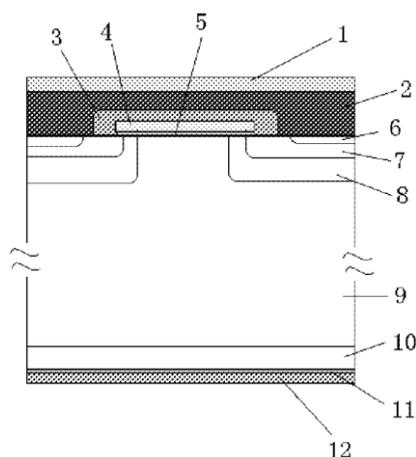


2012年7月19日, CN103578981B 公开了一种场终止绝缘栅双极型晶体

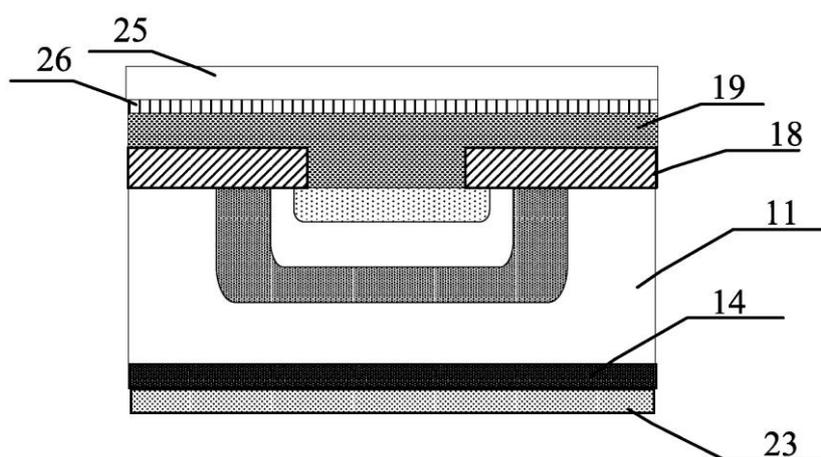
管的制备方法, 该制备方法中, 包括步骤: 提供已经基本形成场终止绝缘栅双极型晶体管的正面结构的晶片; **在晶片的正面结构上沉积正面保护层**; 将晶片翻转使其背面朝向正面注入机, 并使用该正面注入机对晶片的背面的场终止层进行离子注入掺杂以形成集电极层; 以及去除正面保护层。该制备方法中**可以使用正面注入机实现集电极层的离子注入, 使其容易与前道工艺线兼容, 并且 FS (场终止) IGBT 的正面结构得到有效保护, FS IGBT 的良率和可靠性高。**



2012年7月26日, CN103578972B公开了一种具有场终止结构的IGBT背面多晶硅保护层的去除方法。该IGBT结构包括表面钝化层1、金属层2、介质层3、多晶硅层4、栅氧层5、P+层6、N+层7、P-body层8、漂移区9; 场终止层10、栅氧层11; 多晶硅保护层12。该方法包括**热氧化在IGBT背面的多晶硅保护层直到氧化终止于位于多晶硅保护层之上的栅氧层以形成二氧化硅层, 以及利用干法刻蚀去除所形成的二氧化硅层以及栅氧层**。本发明的保护层去除方法更易于控制。

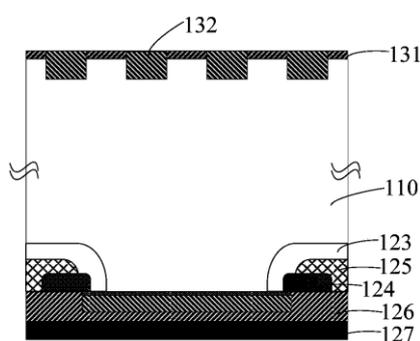


2013年9月26日, CN104517836B 公开了一种场截止型绝缘栅双极型晶体管的制备方法, 包括: 提供衬底, **在衬底正、背面生长氧化层 12**; 向衬底背面内注入 N 型离子; 推阱, 使注入了 N 型离子的区域形成场截止层 14; 去除衬底正面的氧化层; 采用 IGBT 正面工艺在衬底内和衬底上制备出 IGBT 的正面结构; **在正面结构上形成正面保护层 25 和 26**; 对场截止层进行 P 型离子的注入, 形成背面 P+层 23; 去除正面保护层, 并对背面 P+层进行推结; 形成正面金属层 27 和背面金属层 28。本发明**通过生长正面的第一氧化层, 并在正面结构形成后形成正面保护层, 能够保护圆片的正面, 令其在制造过程中不会被轻易划伤。**



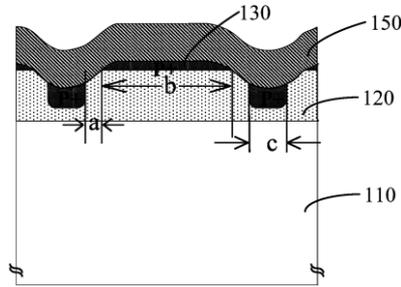
2013年8月23日, CN104425245B 公开了一种反向导通绝缘栅双极型晶体管制造方法, N 型衬底正面依次形成栅氧化层、多晶硅栅电极、P 阱 123、在

P 阱内形成 N+区 124 和正面 P+区 125、在 N 型衬底正面淀积介质层 126，然后通过背面减薄工艺减薄 N 型衬底 110，在 N 型衬底 110 的背面注入 P 型杂质形成背面 P+区域 131，采用光刻、刻蚀工艺在 N 型衬底 110 的背面形成沟槽 132，在 N 型衬底 110 的背面淀积多晶硅填充沟槽 132，并蚀刻掉沟槽 132 之外区域的多晶硅。**在沟槽 132 中填充多晶硅以形成反向导通二极管**，只需要精确控制多晶硅的掺杂浓度就可以控制反向导通绝缘栅双极型晶体管背面的反向导通二极管的参数，工艺控制要求较低。



2013 年 9 月 2 日，CN104425259B 公开了一种反向导通绝缘栅双极型晶体管制造方法，包括：提供正面形成 IGBT 结构的衬底；在衬底的背面注入 P+ 离子形成有 P+层 130；采用光刻、刻蚀工艺在衬底的背面形成沟槽 140；**采用激光扫描工艺对衬底的背面进行平坦化处理形成 P 型和 N 型间隔结构，P 型和 N 型间隔结构为反向导通型绝缘栅双极型晶体管的反向导通结构**；进行背面金属化工艺，形成背面集电极 150。激光扫描工艺可以只对需要退火的背面结构进行工艺，从而解决反向导通绝缘栅双极型晶体管的正面结构限制背面退火温度不能太高的问题，改善反向导通绝缘栅双极型晶体管的背面结构中 N 型和 P 型杂质激活效率不高现象，提高反向导通绝缘栅双极型晶体管的性能。图中的 a 为 N+ 区的宽度，b 为两个 N+ 区之间的距离，c 为 P+ 区的宽度。b、c 的尺寸可以通

过光刻步骤来调整。当需要调整该场中止反向导通型绝缘栅双极型晶体管的反向导通二极管的参数时可以通过调整参数 a、b、c 和 N+区和 P+区的形状来实现。



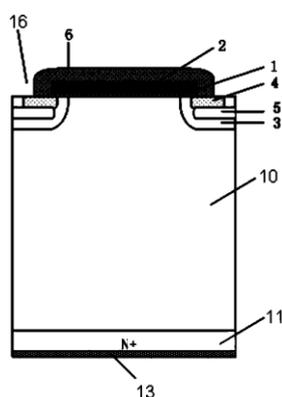
(5) 其他技术

IGBT 其他 技术	<p>2013年6月28日 CN104253042B 在绝缘栅型晶体管单元上形成第一主电极接触孔16, 并通过孔回流热过程对注入晶圆的反面侧的第二导电类型杂质离子12进行激活以形成第二导电类型半导体层13</p>	<p>2013年7月29日 CN104347401B 在场终止层上生长氧化层301, 去除场终止层上的氧化层, 利用氧化-刻蚀方法尽可能降低外延前衬底材料的表面缺陷</p>
	<p>2013年7月23日 CN104347397B 对P型掺杂层和N型掺杂层一起进行推阱, 形成P型基区和N型缓冲层, 只需要进行一次推阱工艺</p>	<p>2013年7月31日 CN104347403B IGBT结构中POLY光刻以及P-Body区域和Ring区域刻蚀, P型杂质注入, 推阱形成body阱和Ring区P阱在同一步骤中完成</p>
其他	<p>2014年12月30日 CN105810583B 利用应力较小的HTO来做降低LDMOS表面电场的迷你氧化层60, 有源区边缘不会产生位错</p>	<p>2014年12月22日 CN105789286B 阳极端包括衬底上的N型缓冲区51, N型缓冲区内的P阱53, P阱内的N-区55, P阱53表面的两个P+浅结57和这两个P+浅结之间的N+浅结59, 降低导通电阻, 快速关断</p>
	<p>2016年6月21日 CN107527811B 阳极端包括衬底10上的N型缓冲区42, N型缓冲区42内的P阱44, P阱44内的N+区46, 位于N+区46上方被P阱44部分包围的沟槽, 沟槽内的多晶硅80, 沟槽两侧的P+结53, 以及P+结53两侧的N+结55, 降低导通电阻</p>	<p>2017年7月3日 CN109216256B 形成上部具有较大的尺寸的沟槽隔离结构, 降低漏电</p>

图 3.1-25 IGBT 其他技术分布情况

2013年6月28日, CN104253042B 公开了一种绝缘栅双极晶体管的制造

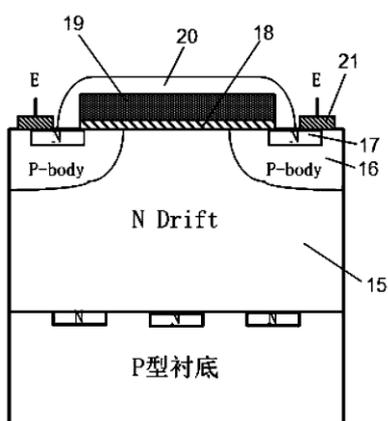
方法，其包括：提供具有正面和反面的晶圆，其中晶圆包括有第一导电类型的半导体衬底，基于半导体衬底在晶圆的正面侧形成有绝缘栅型晶体管单元；在晶圆的正面上形成保护层；在晶圆的反面侧注入第二导电类型杂质离子；去除形成于晶圆正面上的保护层；**在绝缘栅型晶体管单元上形成第一主电极接触孔 16，并通过孔回流热过程对注入晶圆的反面侧的第二导电类型杂质离子 12 进行激活以形成第二导电类型半导体层 13。**这样，**可以实现第二导电类型杂质离子的高效率激活，从而更好的实现绝缘栅双极晶体管的加工。**



2013 年 7 月 29 日, CN104347401B 公开了一种绝缘栅双极性晶体管的制造方法，提供第一导电类型的半导体衬底，该半导体衬底具有第一主面和第二主面；在半导体衬底的第一主面形成第二导电类型的场终止层 201；在场终止层上生长氧化层 301；去除场终止层上的氧化层；在去除氧化层后的场终止层上形成外延层；在外延层上继续制造绝缘栅双极性晶体管。本发明在常规制作绝缘栅双极性晶体管之前**利用氧化-刻蚀方法尽可能降低外延前衬底材料的表面缺陷，增加外延层质量进而提高整个绝缘栅双极性晶体管的质量。**



2013年7月3日, CN104282552A (US9553164B2) 公开了一种 IGBT 的制造方法, 其包括: 提供具有第一表面和第二表面的第一或第二导电类型的衬底; 在衬底的第一表面形成间隔的凹槽 13; 在凹槽内填充第二或第一导电类型的半导体材料以形成通道 14, 其中通道的导电类型与衬底的导电类型不同; **在衬底的第一表面 11 上键合形成第二导电类型的漂移区 15**; 基于漂移区形成 IGBT 的正面结构; 自衬底的第二表面 12 开始减薄衬底直到露出通道; 在通道和减薄后的衬底上形成背面金属电极 23。该方法对薄片流通能力没有特殊要求, 更不需要双面曝光机设备, 与现有的常规工艺兼容, 工艺简单、效率高。



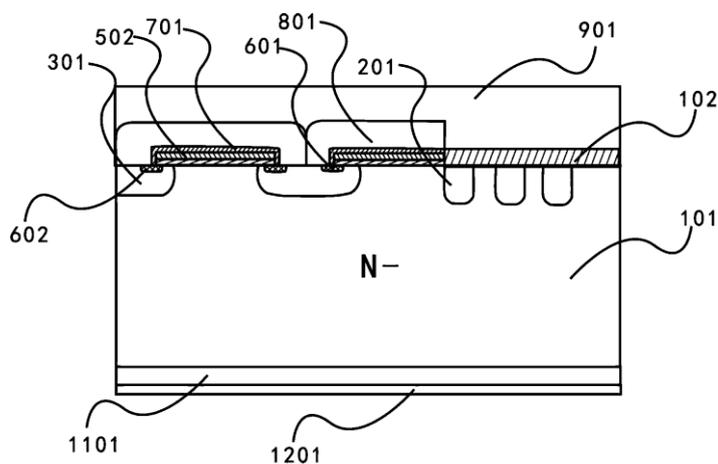
2013年7月23日, CN104347397B 公开了一种注入增强型绝缘栅双极型晶体管的制造方法, 提供 N 型衬底; 在 N 型衬底上形成 P 型掺杂层; 在 P 型掺杂层上形成硬质层; 在 P 型掺杂层上刻蚀形成延伸至 N 型衬底的沟槽; 在沟槽的侧壁和底部形成 N 型掺杂层; 去除硬质层; 对 P 型掺杂层的 P 型杂质和 N 型

掺杂层的 N 型杂质一起进行推阱，P 型杂质扩散形成 P 型基区，N 型杂质扩散形成 N 型缓冲层；在沟槽表面形成栅氧介质层；在形成有栅氧介质层的沟槽中沉积多晶硅层。沟槽的深度穿过 P 型掺杂层的，沟槽的深度大于 P 型掺杂层经推阱后形成的 P 型基区的厚度；在沟槽的侧壁和底部形成 N 型掺杂层的操作中，采用硬质层做掩膜；N 型掺杂层采用扩散工艺形成。本方案对 P 型掺杂层和 N 型掺杂层一起进行推阱，形成 P 型基区和 N 型缓冲层，只需要进行一次推阱工艺，相比于传统的注入增强型的绝缘栅双极型晶体管的制造方式，生产周期较短。

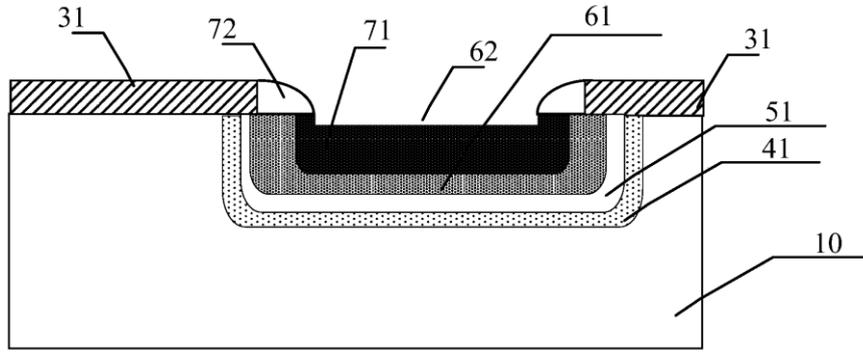


2013年7月31日,CN104347403B 一种绝缘栅双极性晶体管的制造方法，其特征在于：包括，提供第一导电类型的半导体衬底 101，该半导体衬底具有第一主面和第二主面，在第一主面上形成氧化层 102，第一导电类型为 N 型；在第一导电类型的半导体衬底的第一主面通过光刻工艺刻蚀有源区的氧化层和终端区域的氧化层，之后进行第一导电类型的离子注入；在第一导电类型的半导体衬底的第一主面上生成栅氧化层 401，具体的，首先在 800℃ ~ 850℃ 时干氧 5min，之后根据需要的氧化层厚度进行 H₂-O₂ 合成氧化，再在 800℃ ~ 850℃ 干氧氧化 3min ~ 5min，最后在 1000℃ ~ 1250℃ 时 N₂ 气氛中退火 10min ~ 1000min，形成厚度为的栅氧化层；在栅氧化层之上淀积一层多晶硅层 402 用

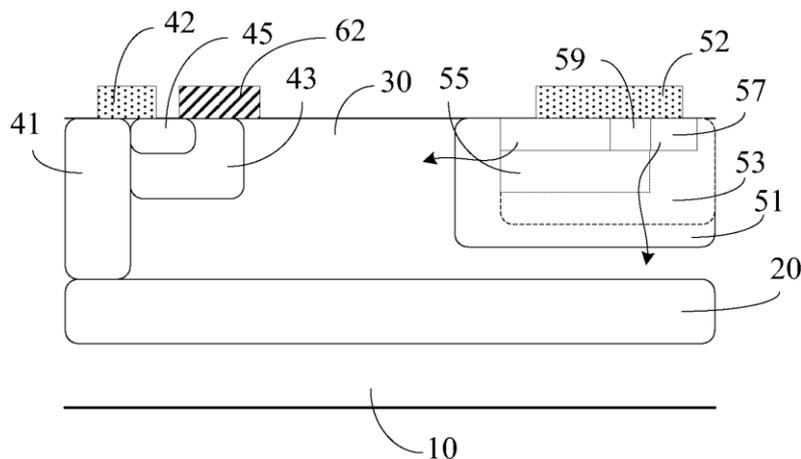
以制造多晶硅栅极 502; 在半导体衬底的第一主面通过光刻工艺刻蚀栅氧化层和多晶硅层, 之后采用 P 型离子注入的方式形成第一 P 阱区 301 的离子注入层, 第二 P 阱区 302 的离子注入层, 以及终端 P 阱区 201, 对第一 P 阱区的离子注入层、第二 P 阱区的离子注入层以及终端 P 阱区进行推进并激活注入的 P 型杂质, 形成第一 P 阱区、第二 P 阱区和终端 P 阱区, 第一 P 阱区和第二 P 阱区为基区; 在该半导体衬底的第一主面基于形成的基区形成绝缘栅双极性晶体管的剩余第一主面结构; 在该半导体衬底的第二主面侧形成绝缘栅双极性晶体管的第二主面结构。IGBT 结构中 POLY 光刻以及 P-Body 区域和 Ring 区域刻蚀, P 型杂质注入, 推阱形成 body 阱和 Ring 区 P 阱在同一步骤中完成, 降低了光刻版的使用层数。



2014 年 12 月 30 日, CN105810583B 公开了一种横向绝缘栅双极型晶体管的制造方法, 包括: 提供形成有 N 型埋层 10、STI、第一 N 阱 22 以及第一 P 阱 24 的晶圆; 在晶圆表面淀积形成高温氧化膜; 进行热推阱并对高温氧化膜进行光刻和刻蚀, 形成迷你氧化层 60; 在第一 N 阱内形成第二 N 阱 32, 以及在所述第一 N 阱和第一 P 阱内形成第二 P 阱 34; 在晶圆表面形成栅氧化层和多晶硅栅; 光刻并注入 N 型离子, 在第二 N 阱内、迷你氧化层和与迷你氧化层相邻

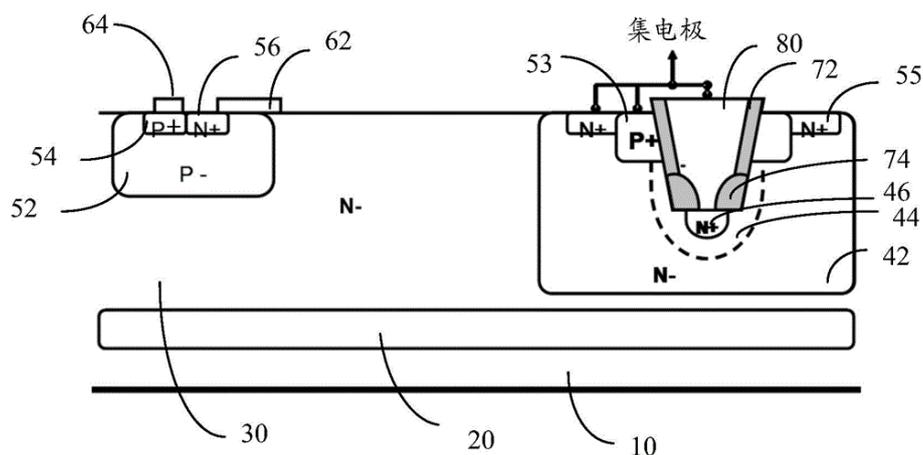


2014年12月22日, CN105789286B公开了一种横向绝缘栅双极型晶体管, 包括衬底10、衬底上的阳极端和阴极端, 以及位于阳极端与阴极端之间的漂移区30和栅极62, 阳极端包括衬底上的N型缓冲区51, N型缓冲区内的P阱53, P阱内的N-区55, P阱53表面的两个P+浅结57和这两个P+浅结之间的N+浅结59。本发明在正向导通时, P+浅结、P阱纵向注入, P+浅结横向注入, 实现了空穴的高效注入, 降低了导通电阻; 反向关断时, N型缓冲区、N-区、N+浅结形成快速抽取少子(空穴)的路径, 达到快速关断的目的, 降低了关态损耗。



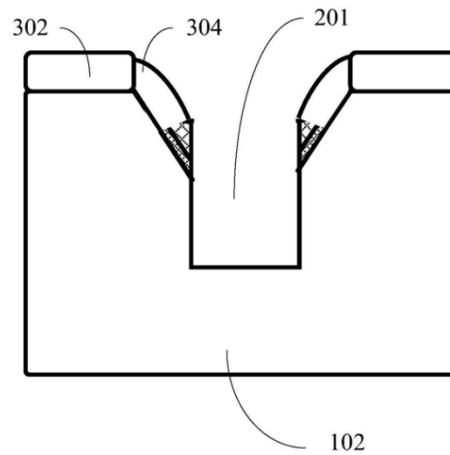
2016年6月21日, CN107527811B公开了一种横向绝缘栅双极型晶体管及其制造方法, 所述横向绝缘栅双极型晶体管包括衬底10, 衬底10上的阳极端和阴极端, 以及位于阳极端与阴极端之间的漂移区30和栅极62, 阳极端包括衬

底 10 上的 N 型缓冲区 42，N 型缓冲区 42 内的 P 阱 44，P 阱 44 内的 N+ 区 46，位于 N+ 区 46 上方被 P 阱 44 部分包围的沟槽，沟槽内的多晶硅 80，沟槽两侧的 P+ 结 53，以及 P+ 结 53 两侧的 N+ 结 55。阴极端包括衬底 10 上的 P- 区 52，P- 区 52 内的 P 型体区 54 及发射极 N+ 区 56，以及作为发射极的电极的阴极金属 64。阳极端还包括沟槽内表面的氧化层。氧化层包括位于沟槽侧壁的氧化膜 72 和位于沟槽底部两侧的侧墙结构 74。沟槽底部的中部存在氧化层空缺使得沟槽内的多晶硅 80 直接与下方的 N+ 区 46 接触。本发明在正向导通时，注入大量的空穴，形成显著的电导调制效应来降低开态电阻；另一方面，在器件关断时，N+ 可很快的吸收少子空穴，极大的降低了关断损耗。



2017 年 7 月 3 日，CN109216256B 公开了一种沟槽隔离结构及其制造方法，方法包括：**在晶圆表面形成上宽下窄的浅槽（第一沟槽）**；通过淀积向浅槽内填充氧化硅；通过刻蚀去除掉一部分氧化硅；通过热氧化在浅槽顶部的拐角处形成氧化硅拐角结构；在晶圆表面淀积氮化硅，覆盖浅槽内的氧化硅表面及氧化硅拐角结构表面；干法刻蚀氮化硅，将浅槽内的氧化硅表面的氮化硅去除，**氧化硅拐角结构表面形成向沟槽内延伸的氮化硅残留 304**；以氮化硅残留为掩膜，**继续向下刻蚀形成深槽（第二沟槽 201）**；在深槽的侧壁和底部形成氧化硅层；向

浅槽和深槽内淀积多晶硅；去除氮化硅；在浅槽内形成氧化硅将多晶硅覆盖。沟槽隔离结构的上部具有较大的尺寸，这样最终形成的沟槽隔离结构相对于窄沟槽能够降低沟槽隔离结构上方的高压走线导致的漏电可能性。



模块/电路技术

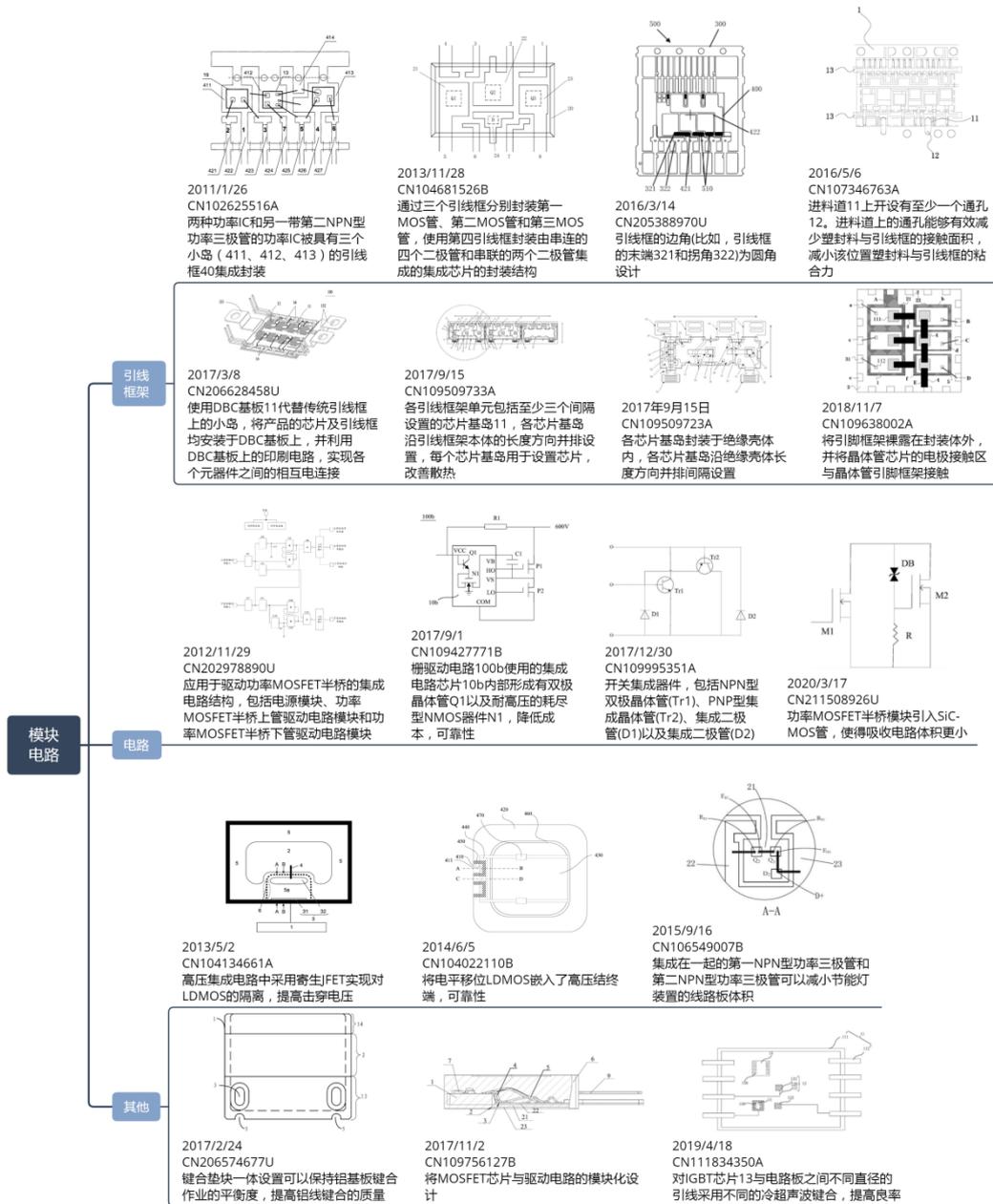
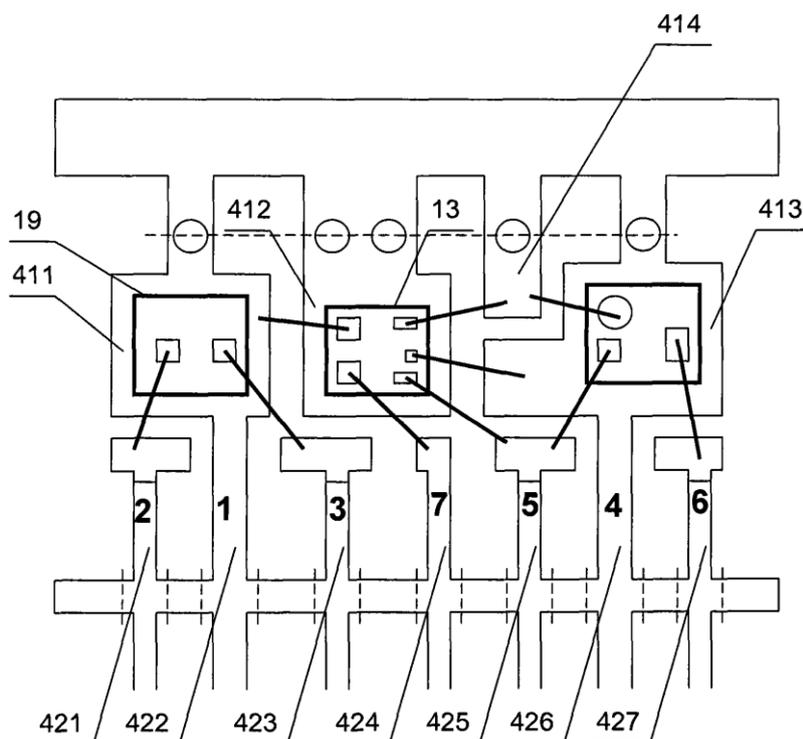


图 3.1-26 模块/电路技术分布情况

(1) 引线框架

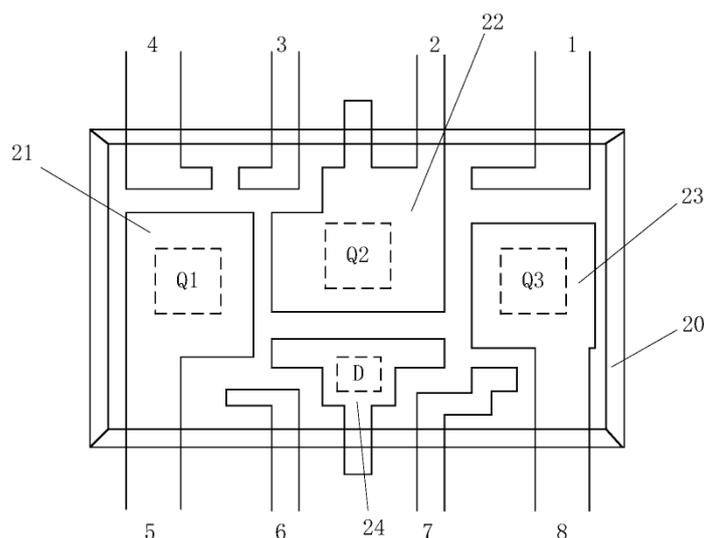
2011/1/26, CN102625516A 公开了一种功率 IC、引线框以及包括该功率 IC 和引线框的封装结构,其中一种功率 IC 包括集成在一起的第一功率二极管(D1)和第一 NPN 型功率三极管(TR2); 其中另一种功率 IC 包括集成在一起的第一电阻(R1)、第二电阻(R2)、第三电阻(R3)以及触发二极管(DB), 该两种功率 IC 和

另一带第二 NPN 型功率三极管的功率 IC 被具有三个小岛 (411、412、413) 的引线框 40 集成封装, 形成用于驱动电子节能灯和电子镇流器的封装结构。以上两种功率 IC 容易制造成本低, 并且其封装结构的结构简单、体积小、并且成本低, 适用于电子节能灯和电子镇流器, 尤其适用于结构紧凑型电子节能灯装置中应用。类似的还有 CN202363455U。

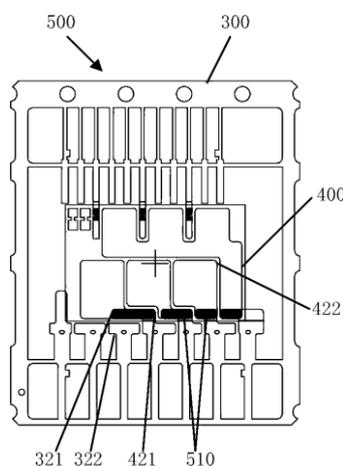


2013/11/28, CN104681526B 公开了一种用于可调光 LED 恒流驱动电路的封装结构包括: 外框架 20; 第一引线框 21, 位于所述外框架 20 内侧, 具有第一载片台, 所述第一载片台用于封装第一 MOS 管 Q1; 第二引线框 22, 位于所述外框架 20 内侧, 具有第二载片台, 所述第二载片台用于封装第二 MOS 管 Q2; 第三引线框 23, 位于所述外框架 20 内侧, 具有第三载片台, 所述第三载片台用于封装第三 MOS 管 Q3; 第四引线框 24, 位于所述外框架 20 内侧, 具有第四载片台, 所述第四载片台用于封装集成芯片 D, 串联的四个二极管 D2 和串联的两个二极管 D1 集成在所述集成芯片 D 上。本发明通过三个引线框分别

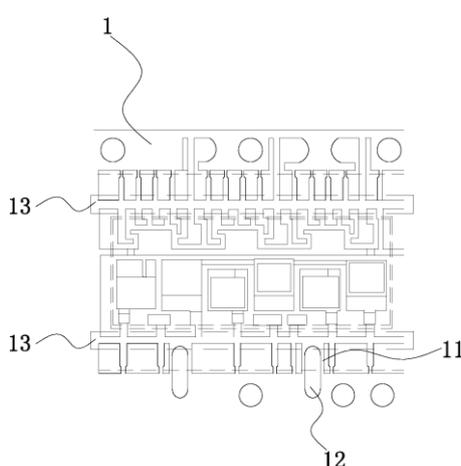
封装第一 MOS 管、第二 MOS 管和第三 MOS 管，使用第四引线框封装由串连的四个二极管和串联的两个二极管集成的集成芯片的封装结构，从而实现封装结构的小型化。



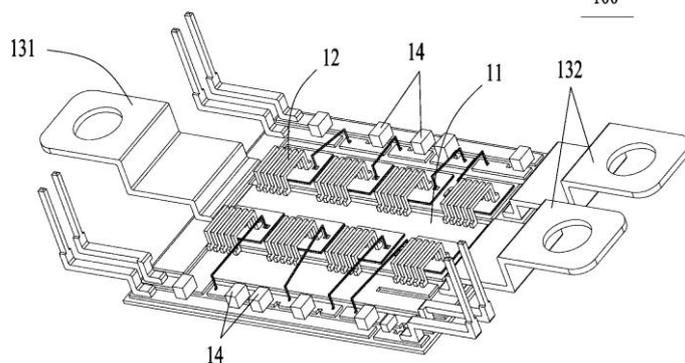
2016 年 3 月 14 日，CN205388970U 公开了一种半导体连接结构以及包括该半导体连接结构的半导体器件，半导体连接结构包括：基板，引线框，且引线框的引脚与电连接图形焊接在一起，**引线框的边角(比如，引线框的末端 321 和拐角 322)为圆角设计**。本方案将引线框的边角改为圆角设计，以减少加工时在引线框的边角处产生的毛刺，从而增强引线框和基板焊接在一起后的连接强度，进而间接提升了后续与芯片的键合焊接强度。



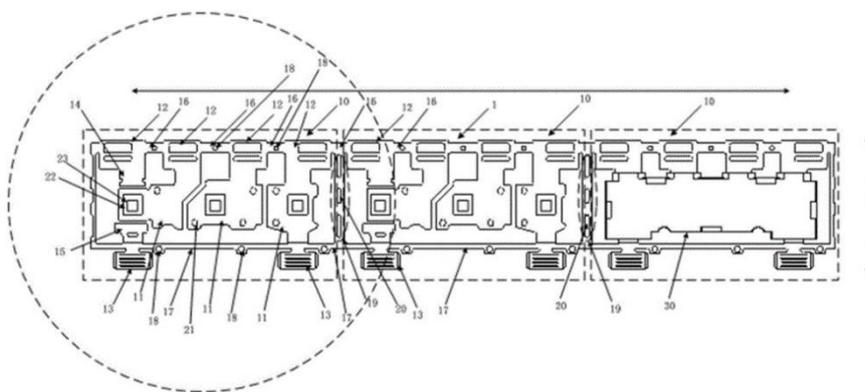
2016年5月6日, CN107346763A公开了一种IPM模块的引线框, 包括引线框架面板1和设置于引线框架面板1上的进料道11。进料道11上开设有至少一个通孔12。进料道上的通孔能够有效减少塑封料与引线框的接触面积, 减小该位置塑封料与引线框的粘合力。本发明无需对现有设备的工艺进行改动, 节省了生产成本; 也不需要更换塑封料, 避免因更换塑封料对产品质量造成的影响; 可以在短时间内从根本上解决塑封料残留的问题。



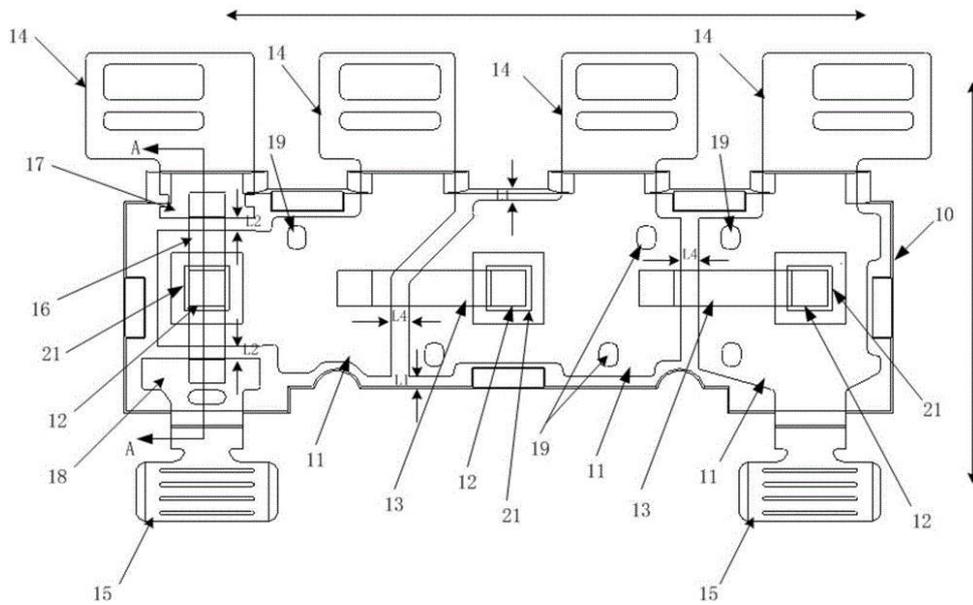
2017年3月8日, CN206628458U公开了一种功率模块封装结构, 该功率模块封装结构包括: DBC基板11, 设于DBC基板11的芯片12, 以及与DBC基板11连接的引线框13。其中, DBC基板11包括印刷电路, 芯片12和引线框13分别电连接于印刷电路, 以使芯片12与引线框13相互电连接。本方案的功率模块封装结构使用DBC基板11代替传统引线框上的小岛, 将产品的芯片及引线框均安装于DBC基板上, 并利用DBC基板上的印刷电路, 实现各个元器件之间的相互电连接。



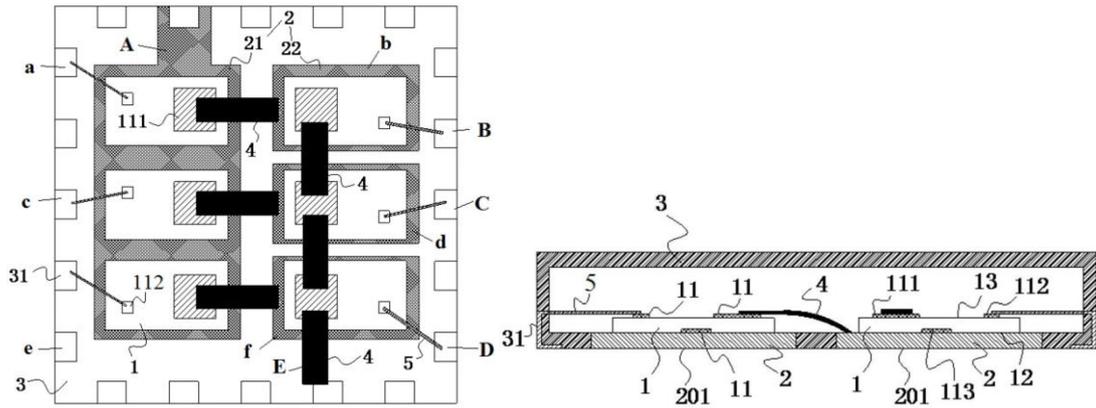
2017年9月15日, CN109509733A (CN207474451U) 公开了一种引线框架, 包括: 引线框架本体 1, 引线框架本体包括至少两个引线框架单元 10(图中虚线框内的部分), 相邻的引线框架单元之间相互连接; **各引线框架单元包括至少三个间隔设置的芯片基岛 11, 各芯片基岛沿引线框架本体的长度方向并排设置, 每个芯片基岛用于设置芯片。**采用该引线框架制造的封装结构工作时产生的热量可以较快地散发, 可改善封装结构的散热效果。



2017年9月15日, CN109509723A (CN207199602U) 公开了一种封装结构和接线盒, 该封装结构包括: **绝缘壳体 10; 至少三个芯片基岛 11, 各芯片基岛封装于绝缘壳体内, 各芯片基岛沿绝缘壳体长度方向并排间隔设置; 每个芯片基岛上设置均有芯片 12。**该封装结构可以较快地散发各芯片工作时产生的热量, 可以改善封装结构的散热效果。

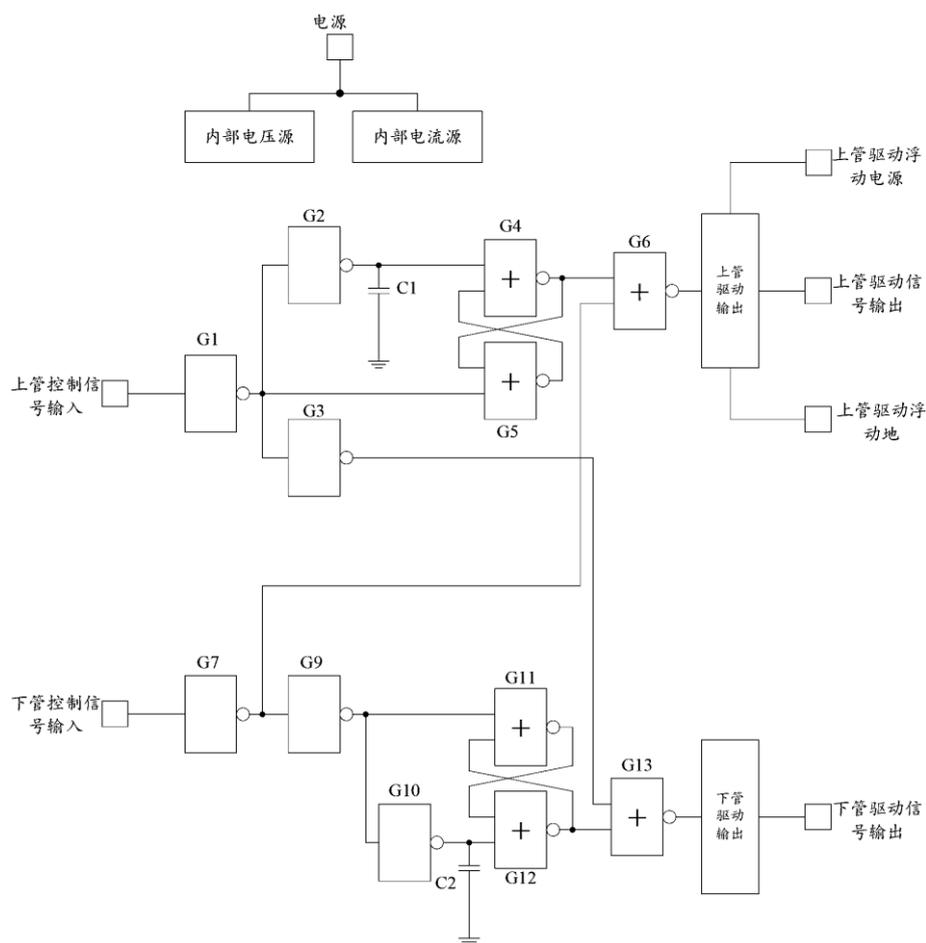


2018年11月7日, CN109638002A 公开了一种功率电路模块及电子装置, 包括若干晶体管芯片 1、封装体 3 和引脚框架 2, 该晶体管芯片 1 设置有电极接触区 11, 晶体管芯片 1 设置于引脚框架 2 上, 且晶体管芯片 1 封装在封装体 3 内, 该引脚框架 2 具有裸露在封装体 3 外的多个裸露区 201, 且每个裸露区 201 分别形成一个外部电极。功率电路模块为单相转换多相的功率电路模块。该晶体管芯片 1 具有第一表面 12 和第二表面 13, 该电极接触区 11 分布在第一表面 12 和第二表面 13 上, 设置于第一表面 12 的电极接触区 11 与引脚框架 2 接触形成外部电极。通过将引脚框架裸露在封装体外, 并将晶体管芯片的电极接触区与晶体管引脚框架接触, 能够减少晶体管芯片与外界连接的连线数量, 从而减少能耗, 并减少连线占用的空间。

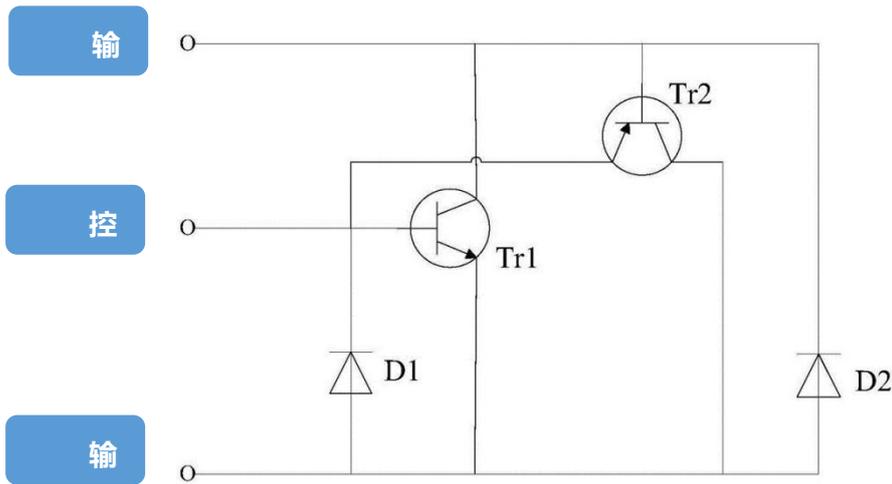


(2) 电路

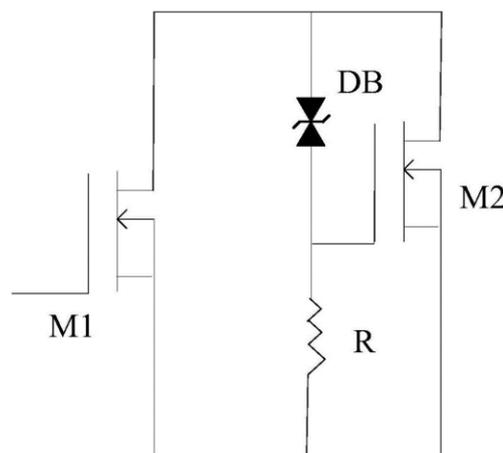
2012年11月29日, CN202978890U 公开了一种应用于驱动功率 MOSFET 半桥的集成电路结构, 包括电源模块、功率 MOSFET 半桥上管驱动电路模块和功率 MOSFET 半桥下管驱动电路模块, 功率 MOSFET 半桥上管驱动电路模块和功率 MOSFET 半桥下管驱动电路模块的输入端分别为功率 MOSFET 半桥上管和功率 MOSFET 半桥下管的控制信号输入端, 电源模块包括分别连接所述的功率 MOSFET 半桥上管驱动电路模块和功率 MOSFET 半桥下管驱动电路模块的电流源输出端和电压源输出端。利用通用的双极集成电路制造工艺设计, 并内置死区时间控制和上下管信号互锁功能, 有效解决了分立器件驱动电路占用 PCB 板面积大, 电路复杂, 安装调试不方便等问题。



2017年12月30日，CN109995351A公开了一种开关集成器件，包括双极晶体管(Tr1)、集成晶体管(Tr2)、集成二极管(D1)以及集成二极管(D2)；双极晶体管(Tr1)为NPN型，集成晶体管(Tr2)为PNP型；在双极晶体管Tr1导通时，为被控电路提供驱动电流，**开关集成器件接收到关断信号时，双极晶体管Tr1处于截止状态，双极晶体管Tr1中积累的电荷可以通过处于正向偏置状态的集成二极管D1、处于正向偏置状态的集成二极管D2以及集成晶体管Tr2得到快速释放**，从而使得被控电路可以快速关断。

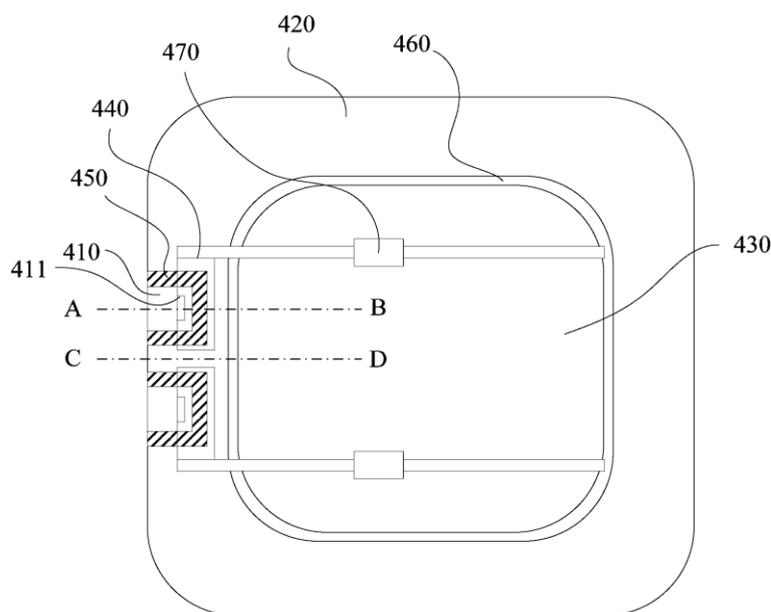


2020年3月17日, CN211508926U公开了一种功率 MOSFET 半桥模块以及封装结构, 功率 MOSFET 半桥模块包括: 第一 MOS 管 M1, 电阻 R、双向稳压二极管 DB 及第二 MOS 管 M2; 第二 MOS 管 M2 的源极连接于第一 MOS 管 M1 的源极以及电阻 R 的第一端, 第二 MOS 管的漏极 M2 连接于第一 MOS 管 M1 的漏极以及双向稳压二极管 DB 的第一端, 第二 MOS 管 M2 的栅极连接于双向稳压二极管的 DB 第二端以及电阻 R 的第二端; 其中, 第二 MOS 管为 SiC-MOS 管。通过引入 SiC-MOS 管, 使得吸收电路体积更小, 成本更低, 频路更高、吸收更快, 可实现集成一体化。

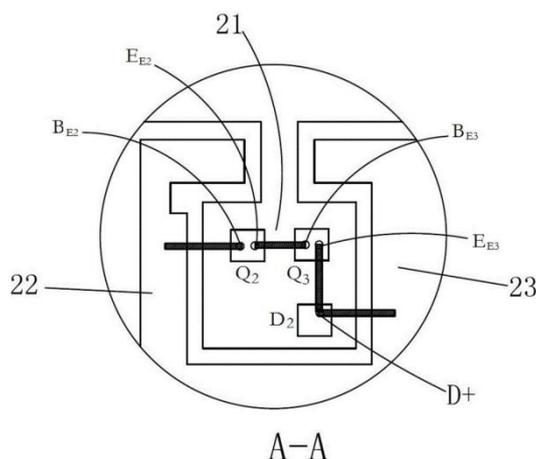


(3) 其他

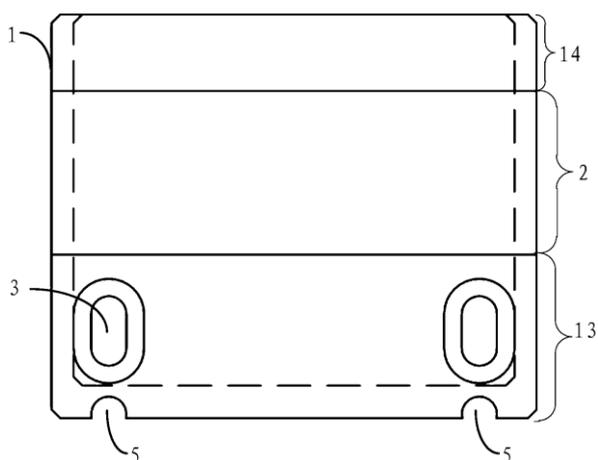
后连接至自举电平区域 460。本方案将电平移位 LDMOS 嵌入了高压结终端，故电平移位 LDMOS 的漏极为浮动电位，通常在几伏至几百伏之间，金属互联线上的电压较小，对其跨过的区域影响就较小，对耐压的影响也较小。另外将电平移位 LDMOS 嵌入高压结终端中，充分利用了高压结终端的面积，能够节省芯片面积。



2015 年 9 月 16 日，CN106549007B 公开了一种功率 IC，用于驱动节能灯和镇流器，功率 IC 包括集成在一起的第一 NPN 型功率三极管 Q₂、第二 NPN 型功率三极管 Q₃；其中，第一 NPN 型功率三极管的发射极 EE₂ 连接于第二 NPN 型功率三极管的基极 BE₃，第一 NPN 型功率三极管的集电极 CE₂ 和第二 NPN 型功率三极管的集电极 CE₃ 连接。集成在一起的第一 NPN 型功率三极管和第二 NPN 型功率三极管可以减小节能灯装置的线路板体积并降低其制造成本。

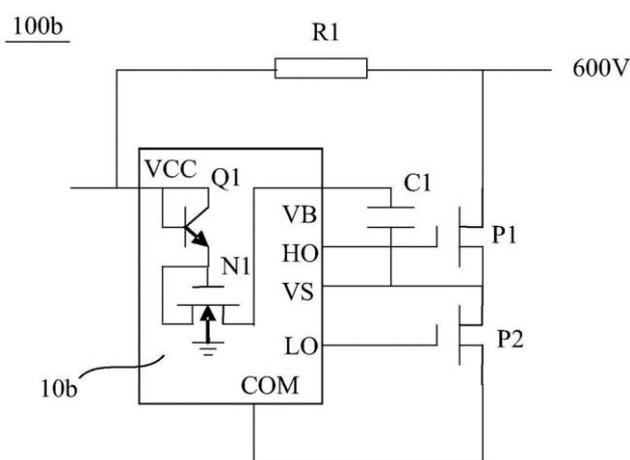


2017年2月24日, CN206574677U 公开了一种封装铝线用的键合垫块, 包括本体部 1, 本体部的上端面 11 设有用于放置工件的承载部 2, 承载部在一方向上沿上端面的一侧向上端面的另一侧延伸。本体部上还设有用于固定本体部的固定部, 固定部位于本体部的上端面, 并靠近本体部的一侧壁。本方案的**键合垫块一体设置可以保持铝基板键合作业的平衡度, 从而可提高铝线键合的质量。**键合垫块还简化了键合垫块的加工, 安装校准简单, 不存在配合度的问题, 同时避免了长时间作业由于紧固螺丝松动造成不稳定等问题。



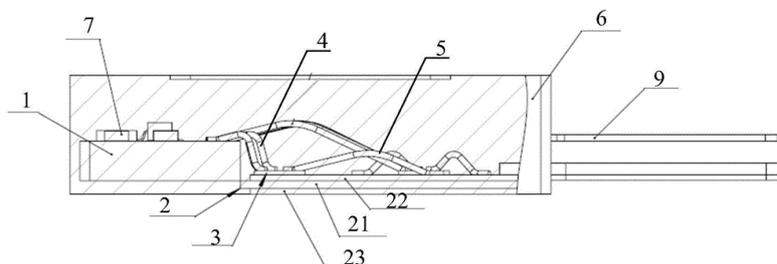
2017年9月1日, CN109427771B 公开了一种集成电路芯片及其制作方法、栅驱动电路, 该集成电路芯片 10b 包括: 半导体衬底, 在半导体衬底中形成有用于制作高压栅驱动电路的高压岛; 高压结终端, 高压结终端包围高压岛,

高压结终端包括形成在高压岛周围的耗尽型 MOS 器件，耗尽型 MOS 器件的栅极和漏极短接，耗尽型 MOS 器件的源极与高侧电源端连接；双极晶体管，双极晶体管的集电极和基极短接并与低侧电源端连接，双极晶体管的发射极与耗尽型 MOS 器件的栅极连接。还公开了栅驱动电路 100b 使用的集成电路芯片 10b 内部形成有双极晶体管 Q1 以及耐高压的耗尽型 NMOS 器件 N1。该集成电路芯片可以使得形成自举电路时无需使用外接自举二极管，提高了芯片的集成度，简化了外围电路，从而降低了成本，提高了可靠性。该集成电路芯片的制作方法和栅驱动电路具有类似的优点。

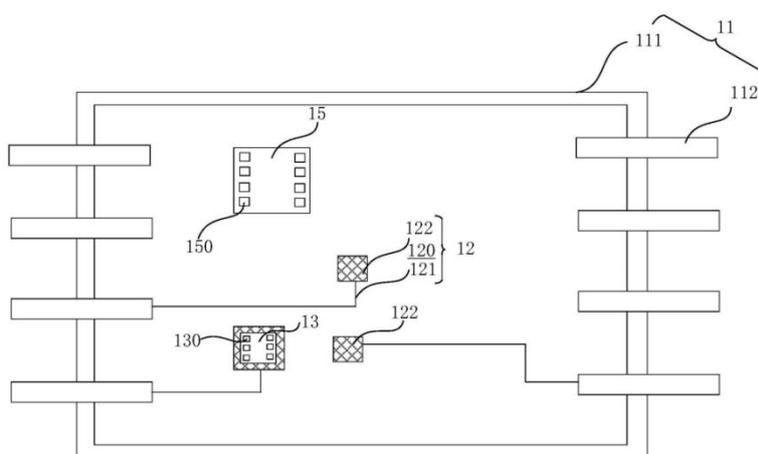


2017 年 11 月 2 日，CN109756127B 公开了一种智能功率 MOSFET 逆变模块，至少包括：印制电路板 1、陶瓷覆铜板 2、MOSFET 芯片 3、第一连接线 4、第二连接线 5 以及塑封件 6；印制电路板上设置有驱动电路和用于外接的焊盘 8；陶瓷覆铜板表面具有线路图案；MOSFET 芯片 3 固定在陶瓷覆铜板 2 表面，MOSFET 芯片 3 通过第一连接线 4 与焊盘 8 相连，MOSFET 芯片 3 通过第二连接线 5 与线路图案 22 相连，MOSFET 芯片 3 与线路图案 22 构成三相逆变电路；塑封件 6 用于灌封印制电路板 1、陶瓷覆铜板 2、MOSFET 芯片 3、第一连接线 4 以及第二连接线 5，通过塑封件 6 可以隔绝内外，使驱动电路和逆变电

路模块化。本发明通过将 MOSFET 芯片与驱动电路的模块化设计，可提高产品的集成度，减少逆变电路及其驱动电路的占用面积，提高逆变电路可靠性。



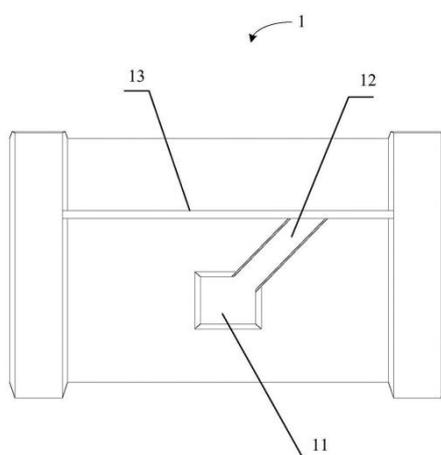
2019年4月18日, CN111834350A 公开了一种 IPM 的封装方法以及 IPM 封装中的键合方法, 对 IGBT 芯片 13 与电路板之间直径相对较粗的第一引线 14 采用频率相对较低的超声波进行第一冷超声波键合, 对驱动芯片与电路板之间的直径相对较细的第二引线 16 采用频率相对较高的超声波进行第二冷超声波键合。好处在于: 相对于金铜线热超声波键合, 利用冷超声波键合无需加热, 可以避免高温加热导致的承载 IGBT 芯片及驱动芯片的绝缘基板与基岛分离, 以及避免分离过程中绝缘基板撕裂导致的绝缘性能变差, 进而避免 IPM 耐压性差及散热不良等问题, 提高 IPM 良率和性能。



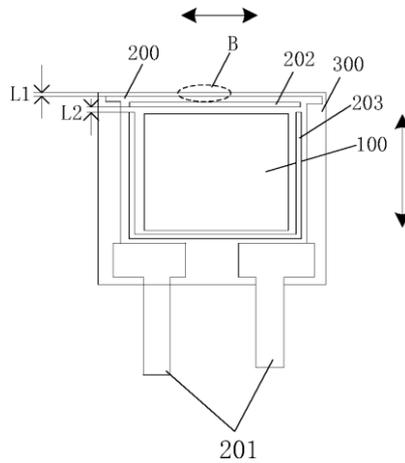
其他技术

2016年12月27日, CN108242406B 公开了一种型腔、塑封体以及粘结

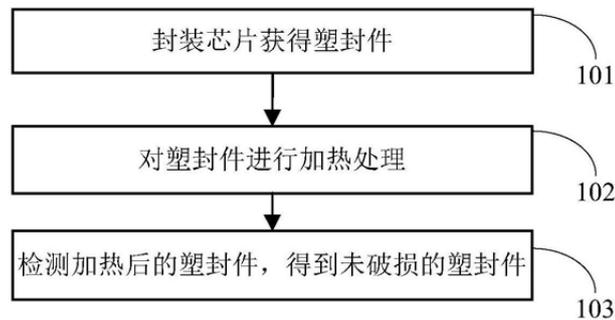
力检测方法。型腔 1 用于以引线框 24 为基体制备具有树脂凸起部 22 的塑封体 2；其中，型腔底部开设有用于容纳树脂及树脂形成的树脂凸起部 22 的凹槽 11 以及与凹槽 11 连通的、用于将树脂引流至凹槽的通道 12，型腔 1 底部上还设置有用于支撑引线框 24 的支撑体 13，支撑体 13 上开设有与通道 12 连通的浇口。合理地确定塑封体上的树脂与引线框的粘结力，进而可以量化地评判塑封体的引线框与树脂凸起部之间粘结程度，可做为半导体塑封体粘结力检测的手段。



2017 年 12 月 18 日，CN207818565U 公开了一种封装体包括：芯片；引线框架 200，引线框架 200 具有引脚 201，芯片 100 与引线框架 200 通过焊料 400 连接，引线框架 200 上环绕芯片 100 的四周设置有凹槽，**远离引脚 201 沿引线框架 200 横向方向的凹槽 202 与沿引线框架 200 的纵向方向的凹槽 203 间隔设置**；塑封料 300，芯片 100 和引线框架 200 封装于塑封料 300 内，且暴露出引脚 201。该封装体可以改善焊料溢出现象，降低由此现象造成的返工成本，提升封装体的产品品质和良率。

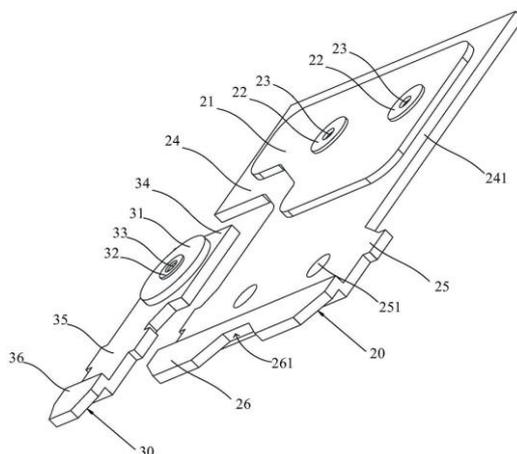


2018年6月27日, CN110648925A 公开了一种封装工艺。包括封装芯片获得塑封件;对塑封件进行加热处理;检测加热处理后的塑封件,得到未破损的塑封件。塑封件可以通过进行加热处理,使得存在破裂风险的塑封件提前暴露,便于生产厂商淘汰掉不符合要求的塑封件,可以降低电子厂商端在焊接电子元件时芯片的破裂风险、破裂概率。



2019年7月22日, CN112259516A 公开了一种半导体封装结构,包括芯片10、第一导电金属片20以及连接芯片与第一导电金属片的第一导电粘接层,芯片的一表面设有源极区域,第一导电金属片20包括第一凸台21和第一凸包22,第一凸台21设于第一导电金属片20中面向芯片10的源极区域的一面,且第一凸台21对应于芯片10的源极区域设置,第一凸包22设于第一凸台21中面向芯片10的源极区域的一面,且第一凸包22向靠近芯片10的方向延伸。本申请通过**设置第一凸台和第一凸包,从而保证了芯片与第一导电金属片之间的**

第一导电粘接层的厚度的一致性，达到提高产品的可靠性的有益效果。



3.1.8 小结

综上所述，华润微的专利布局呈现如下特点：

宏观布局上：华润微的专利申请始于 2009 年，申请高峰出现在 2013 年，近三年专利申请量有回落趋势。华润微的专利主要布局在中国，除本土之外还在美国、日本、欧洲、韩国布局有少量专利。MOSFET 和 IGBT 技术是除了本土之外重点布局的技术。华润微的专利以发明专利为主，发明专利占比为 96%，实用新型专利占比 4%。华润微的有效专利（授权专利）占比达到 48%，失效专利中主要是由于驳回导致的失效。

技术分支上：华润微在 MOSFET 技术上专利占比最大，为 33%，其次是 IGBT、二极管、模块/电路技术，而封装、宽禁带功率半导体器件、双极晶体管、检测、晶闸管等技术专利占比较少。在 MOSFET 技术上，栅极区域及终端结构的改进是华润微研究的重点；在 IGBT 技术上，背面工艺和场截止层工艺、终端结构和沟槽栅技术是华润微研究的重点。从申请趋势来看，MOSFET 技术是华润微近三年研究的热点。

技术功效上：降低成本、可靠性、提高击穿电压、降低导通电阻是华润微关注的重点，布局专利较多。在 MOSFET 技术上，关注的重点是提高击穿电压、降低导通电阻；在 IGBT 技术上，关注的重点是降低成本、降低导通压降、可靠性；在二极管技术上，关注的重点是降低导通压降、降低成本、可靠性、提高击穿电压；在模块/电路技术上，关注的重点是降低成本、小型化。从时间维度来看，在 MOSFET 技术上，降低导通电阻、提高击穿电压、小型化是华润微近三年在器件性能上研究的重点，士兰微近三年在 IGBT、二极管、模块/电路性能上布局热度较低。

具体来看，在 MOSFET 器件上，华润微布局的重点在栅极和终端技术上，其次是布局在超级结技术上：

在 MOSFET 终端技术中，在 2010-2012 年，提出采用在场限环中间增加隔离沟槽的技术，还提出了多个场限环的设计；在 2015 年，还设计了插入式阱延伸至与 P 型场限环相接触；此外，还对场板做了改进，采用了导体场板和半绝缘电阻场板；在 2016-2017 年，设计了埋层、漂移区、衬底的三层 RESURF 结构；此后，场板技术成为了华润微布局的重点，设计了多级场板、孔场板技术。

在 MOSFET 栅极技术中，沟槽栅是华润微布局的重点，其他还有平面栅等技术：

在 MOSFET 沟槽栅技术中，在 2010-2013 年，提出了梳状沟槽，以及沟槽延伸到衬底中的结构；在 2017 年，提出了双沟槽，结合屏蔽栅、主控制栅和辅助栅的技术；在 2018 年以来，提出了在沟槽底部形成埋层、PN 结构等；多晶硅顶部高度位置高于沟槽顶部高度；至少两个沟槽相连通结合体区设置在沟槽

之间的设计；

在 MOSFET 平面栅技术，在 2012-2013 年，提出了高低压栅氧交界区的位置移动到栅极下的结构，还提出了凹凸状栅介质层结构；在 2015 年，多晶硅栅极下形成多个阱的结构；在 2019 年，设计了边部栅和悬浮栅结构。

在 MOSFET 超级结技术中，在 2011 年，提出了深沟槽超级 PN 结的平坦化技术；在 2016 年，提出形成交替相间的 N 型柱区和 P 型柱区，将制造周期分为超结结构制备和表面 DMOS 制备两部分；在有源区、过渡区和终端区均出现替相间的 N 型柱区和 P 型柱区等设计；在 2017 年，提出了在深沟槽隔离结构的底部和侧壁上分别形成有水平超结和垂直超结等；在 2020 年，在半导体柱表面引入埋层。

在 MOSFET 集成技术中，提出了功率器件和 JEFT、二极管集成的技术，高低压器件的集成技术。

在 IGBT 技术中，布局重点在沟槽栅、终端技术、载流子存储@增强层方面、背面工艺@保护层技术。

在 IGBT 沟槽栅技术中，布局包括：沟槽栅从缓冲区和集电区贯穿至埋层；增加栅极沟槽结构；沟槽栅结构的 IGBT 集电极从正面引出等。

在 IGBT 终端技术中，对终端结构进行了设计；在载流子存储@增强层中，在有源区增加了载流子存储层、载流子增强层。这些技术主要集中在 2013 年。

华润微还对 IGBT 背面工艺和保护层技术布局了较多专利，主要集中在 2011-2013 年，例如，利用外延层形成集电区；在正面结构上形成保护层；背面形成沟槽并填充多晶硅形成 PN 结；采用激光扫描工艺对衬底的背面进行平坦

化处理形成 P 型和 N 型间隔结构。

在模块/电路技术中，布局重点在引线框架上，包括引线、管脚、芯片布局等。DBC 基板、引线框架上芯片基岛的设计、功率芯片和驱动芯片的模块化设计、引线冷超声波键合等是近几年布局的重点。

3.2 士兰微

杭州士兰微电子股份有限公司(600460)坐落于杭州高新技术产业开发区,是专业从事集成电路芯片设计以及半导体微电子相关产品生产的高新技术企业。公司成立于1997年9月,总部在中国杭州。2003年3月公司股票在上海证券交易所挂牌交易,是第一家在中国境内上市的集成电路芯片设计企业。得益于中国电子信息产业的飞速发展,士兰微电子已成为国内规模最大的集成电路芯片设计与制造一体(IDM)的企业之一,其技术水平、营业规模、盈利能力等各项指标在国内同行中均名列前茅。

公司的技术与产品涵盖了消费类产品的众多领域,在多个技术领域保持了国内领先的地位,如绿色电源芯片技术、MEMS 传感器技术、LED 照明和屏显技术、高压智能功率模块技术、第三代功率半导体器件技术、数字音视频技术等。同时利用公司在多个芯片设计领域的积累,为客户提供针对性的芯片产品系列和系统性的应用解决方案。

公司目前的产品和研发投入主要集中在以下三个领域:

- (1) 基于士兰芯片生产线高压、高功率、特殊工艺的集成电路、功率模块(IPM/PIM)、功率器件及(各类MCU/专用IC组成的)功率半导体方案
- (2) MEMS 传感器产品、数字音视频和智能语音产品、通用ASIC 电路
- (3) 光电产品及LED 芯片制造和封装(含内外彩屏和LED 照明)

士兰微投资成立了多个子公司:杭州士兰集成电路有限公司、杭州士兰集昕微电子有限公司、成都士兰半导体制造有限公司、成都集佳科技有限公司、杭州士兰明芯科技有限公司、厦门士兰明镓化合物半导体有限公司等。前四个公司主

要涉及功率器件领域。

杭州士兰集成电路有限公司成立于 2001 年，是浙江省高新技术企业，公司共建设 3 座 FAB 工厂，分别设有 5 英寸和 6 英寸两条生产线，年生产能力达到 260 万片。主要生产 BIPOLAR、CMOS、BICMOS、VDMOS、BCD 等工艺技术的集成电路产品和开关管、稳压管、肖特基二极管等特种分立器件。产品用于各类终端市场应用方案，包括计算机、通讯、能源及电子消费品等市场，产品远销至韩国、日本、美国等地，成为世界多家知名公司的芯片供应商。

杭州士兰集昕微电子有限公司成立于 2015 年，为士兰微电子 8 英寸集成电路芯片生产线的实施主体。公司于 2017 年正式投产，设计月产能 10 万片，现已具备月产 4 万片生产能力。同时已有高压集成电路，高压 MOS 管，低压 MOS 管，肖特基，IGBT 等多个产品导入量产。为进一步配合母公司士兰微电子进行市场拓展打下坚实基础。

成都士兰半导体制造有限公司是杭州士兰微电子股份有限公司的全资子公司。公司成立于 2010 年，位于四川省成都市金堂县淮口镇---成阿工业集中发展区。公司重点发展半导体硅外延片生产业务，具有 5 吋、6 吋、8 吋、12 吋硅外延片的生产能力，产品涵盖功率器件、IGBT、IPM 智能模块、HVDMOS、SBD、FRD 等众多系列产品，是杭州士兰微电子股份有限公司着力打造的西部半导体制造基地。

成都集佳科技有限公司成立于 2014 年，是成都士兰半导体制造有限公司的全资子公司，定位为中高端市场的专业封装测试代工企业，公司主要从事功率器件、IGBT、IPM 智能模块、HVDMOS、SBD、FRD 等众多系列产品的封装测试

生产制造业务。

3.2.1 申请趋势分析

士兰微的专利申请始于 2008 年，出现两次申请高峰，近三年专利申请呈增长态势。

在功率半导体器件领域，士兰微在全球申请专利 260 件，其申请趋势如下图所示，在 2008 年-2012 年，专利申请量逐年增加，在 2012 年达到小高峰，这一阶段以 MOSFET 和二极管技术布局为主。此后，申请量出现明显回落。申请量高峰出现在 2017 年，达到 41 件；从 2018 年以来，专利申请量也有明显增长。需要提及的是，对于 2019-2021 年的专利申请数量，由于存在部分申请需要 18 个月之后才能公开的情况，因此专利申请数量统计不全。

结合士兰微的发展历程来看，2001 年，士兰微设立杭州士兰集成电路有限公司，进入硅芯片制造业务，2010 年，士兰微进入功率模块封装业务，也标志了士兰微在功率器件领域加大投入力度，专利产出出现明显增长。2011 年 08 月，发布了第一款应用于变频电机驱动的全部采用自主芯片的功率模块 SD20M60A。2014 年，成都士兰半导体制造有限公司的硅外延车间投入试生产；2015 年 05 月，士兰微电子 8 英寸集成电路芯片生产线在下沙芯片制造基地奠基。2014 年以来，由于功率器件应用领域和应用范围的不断扩大，士兰微也不断扩大产线规模以提高功率器件领域的市场占有率，专利产出也有明显增长。

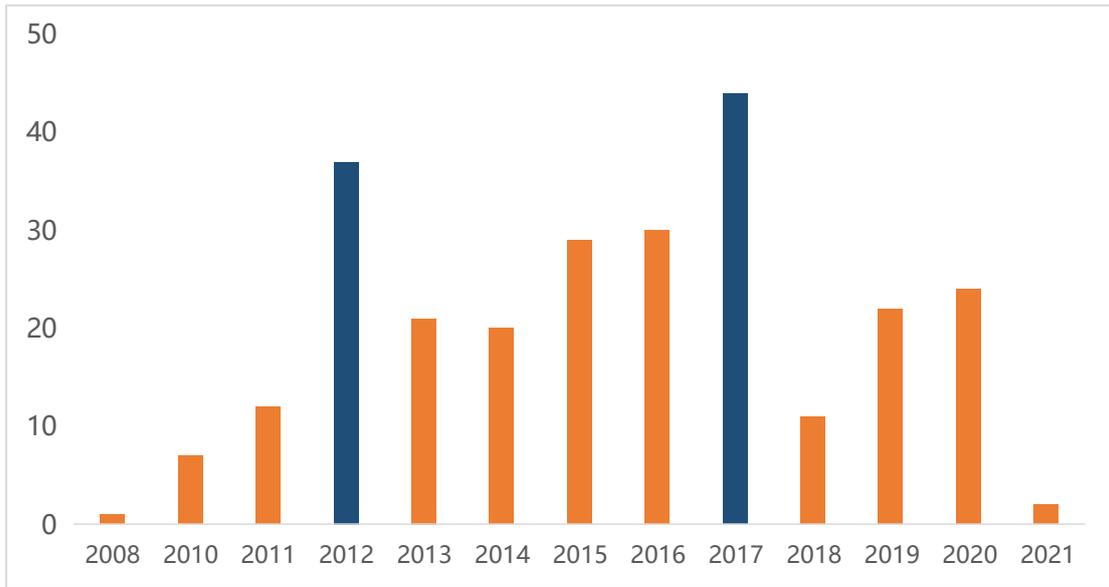


图 3.2-1 申请趋势 (申请号合并)

3.2.2 地域布局分析

士兰微的专利主要布局在中国，此外还在美国、中国台湾、日本布局有少量专利。MOSFET 技术是除了本土之外，重点布局的技术。

从地域布局来看，士兰微的专利主要布局在中国，此外主要通过 PCT 申请向其他国家或地区布局，布局重点在美国、中国台湾、日本，其他国家或地区没有布局。

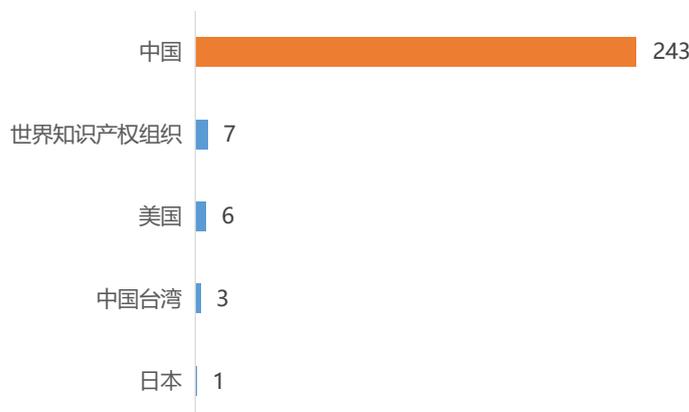


图 3.2-2 地域布局 (申请号合并)

简单同族专利数量在 3 项及以上的专利如图所示，其有 7 项涉及 MOSFET 技术，少量涉及模块/电路及其他技术。提高击穿电压，降低导通电阻是器件性能上提升的重点，其他主要性能有改善开关速度、提升 ESD 能力、降低工艺难度。

公开 (公告) 号	申请日	技术分类	技术效果	简单同族个数	同族国家
CN106571394B	2016/11/1	MOSFET	提高击穿电压，降低导通电阻	11	JP, WO, CN, EP, US
US10186944B2	2015/4/16	模块/电路	改善开关速度	5	WO, CN, US
CN103928464B	2014/4/18	MOSFET	降低工艺难度	5	WO, CN, US
CN111785771A	2019/4/3	MOSFET	降低导通电阻	3	TW, WO, CN
CN110137242A	2019/4/3	MOSFET	提高击穿电压，降低导通电阻	3	TW, WO, CN
CN110137243A	2019/4/3	MOSFET	提高击穿电压，降低导通电阻	3	TW, WO, CN
US10937859B2	2017/10/20	MOSFET	提高击穿电压，降低导通电阻	11	JP, WO, EP, CN, US
CN103050442A	2012/12/20	MOSFET	提升 ESD 能力	4	CN
CN102664161B	2012/5/25	其他	提高击穿电压	7	WO, CN, US

3.2.3 专利类型

士兰微的专利以发明专利为主，发明专利占比为 57%，实用新型专利占比 43%。

从专利类型来看，士兰微的专利以发明专利为主，发明专利占比为 57%，实用新型专利占比 43%。同时申请发明和实用新型是士兰微采用的申请策略，

利用实用新型专利授权时间短、授权几率大的特点以增大对技术的保护。

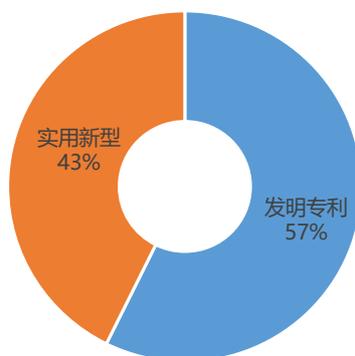


图 3.2-3 专利类型 (申请号合并)

3.2.4 法律状态及运营分析

士兰微的有效专利（授权专利）占比达到 59%，失效专利中主要是由于避重放弃导致的失效。

从法律状态来看，士兰微的有效专利（授权专利）占比达到 59%，审中专利占比为 21%，失效专利中主要是由于避重放弃导致的失效，少量是由于驳回、撤回、未缴年费导致的专利失效。避重放弃即由于专利技术不能重复授权，一件专利技术只能授权一件专利，对于同日申请的发明和实用新型需要放弃其中一项，来使另外一件获得授权。

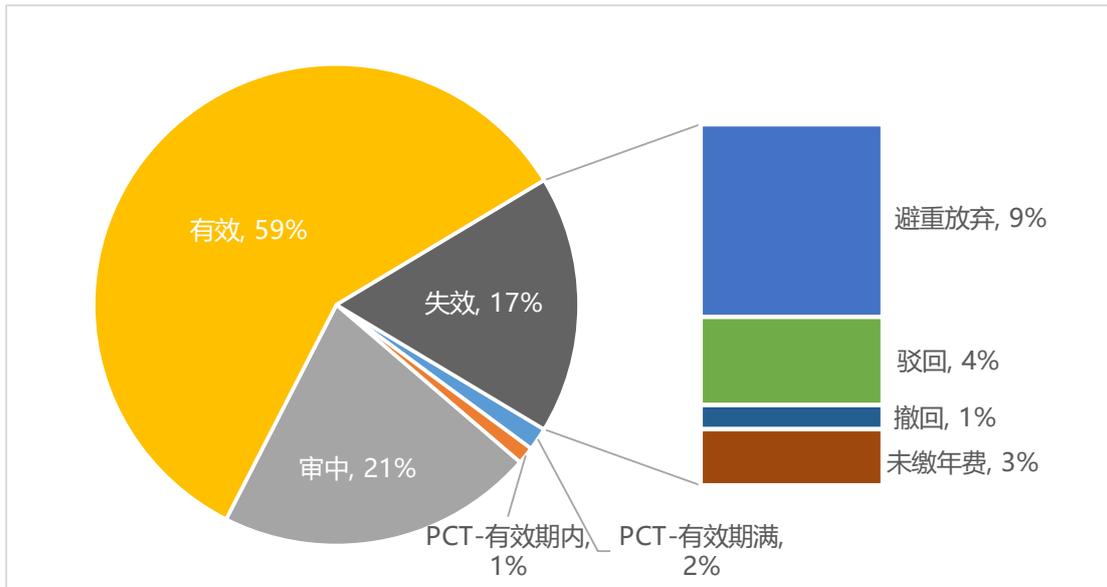


图 3.2-4 法律状态 (申请号合并)

暂无诉讼、质押、许可专利，受让专利是发生在士兰微与其子公司之间。

3.2.5 技术分支分析

士兰微在 MOSFET 技术上专利占比最大, 为 45%, 其次是 IGBT、二极管、模块/电路技术, 而双极晶体管、封装、检测及其他技术专利占比较少。在 MOSFET 技术上, 栅极区域的改进是士兰微研究的重点; 在 IGBT 技术上, 场截止层、沟槽栅技术是士兰微研究的重点。从申请趋势来看, MOSFET、模块/电路技术是士兰微近三年研究的热点。

士兰微在功率半导体器件领域的 260 件专利属于 246 项专利族 (一项技术在多个国家的布局视为一件)。按照 MOSFET、IGBT、二极管、双极晶体管、宽禁带功率半导体器件、模块/电路、封装、检测等技术进行分类, MOSFET 技术上专利占比最大, 为 46%, 其次是二极管、IGBT、模块/电路技术, 专利占比

分别为 15%、11%、11%；宽禁带功率半导体器件、双极晶体管、封装、检测及其他技术专利占比较少。

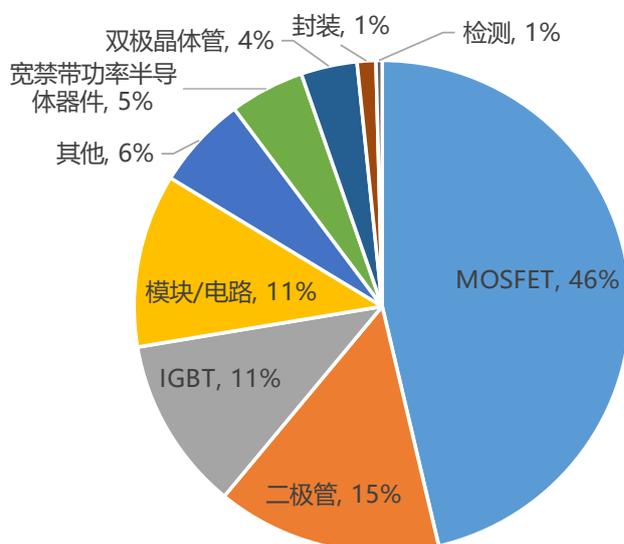


图 3.2-5 技术分支布局情况 (同族合并)

在 MOSFET 技术上，士兰微在器件结构和工艺上均有布局，但以器件结构的布局为主；在结构上，栅极区域的改进是士兰微研究的重点，布局专利达到 49 项，其在隔离结构、终端结构、集成结构、保护结构、耗尽层、沟道、接触孔、阱区、超级结技术上布局有少量专利。在工艺上，超级结、沟槽、沟槽栅、源-漏是布局的重点，在沟道、漂移区、终端工艺上也布局少量专利。

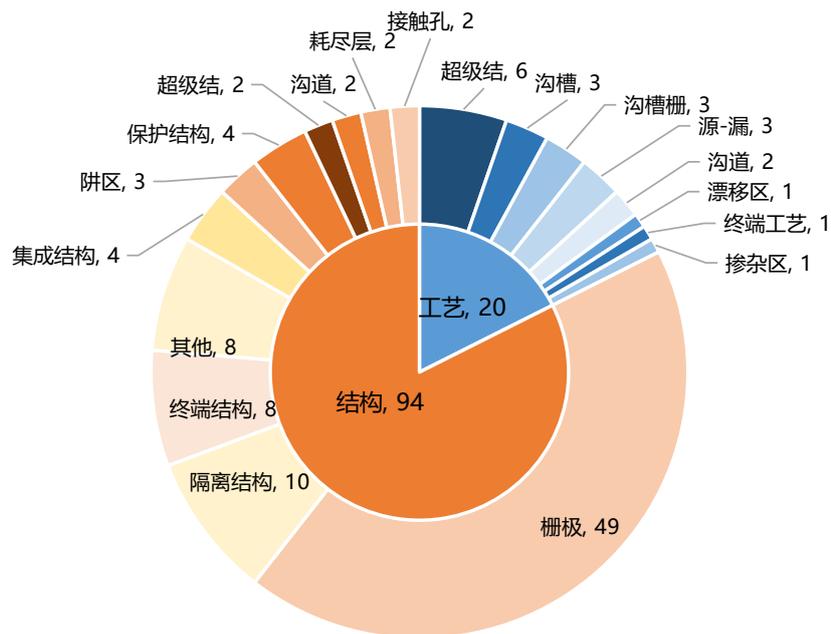


图 3.2-6 MOSFET 技术分支布局情况 (同族合并)

在 IGBT 技术上，士兰微在器件结构和工艺上均有布局，但以器件结构的布局为主；在结构上，场截止层、沟槽栅是士兰微研究的重点，布局专利分别达到 7 项和 6 项，其在发射区、保护结构、缓冲区上布局有少量专利。在工艺上，场截止层工艺是布局的重点，在集电区、缓冲区工艺上也布局少量专利。

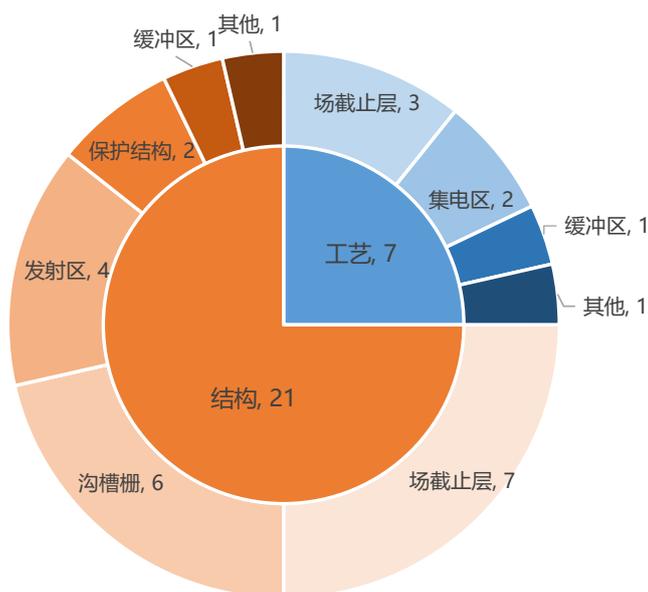


图 3.2-7 IGBT 技术分支布局情况 (同族合并)

在二极管技术上，士兰微在器件结构和工艺上均有布局，但以器件结构的布局为主；在结构上，掺杂区是士兰微研究的重点，布局专利达到 6 项，其在电阻、外延层、发射区、沟槽、保护结构、势垒区、缓冲区上布局有少量专利。在工艺上，在钝化层、电极工艺上也布局少量专利。

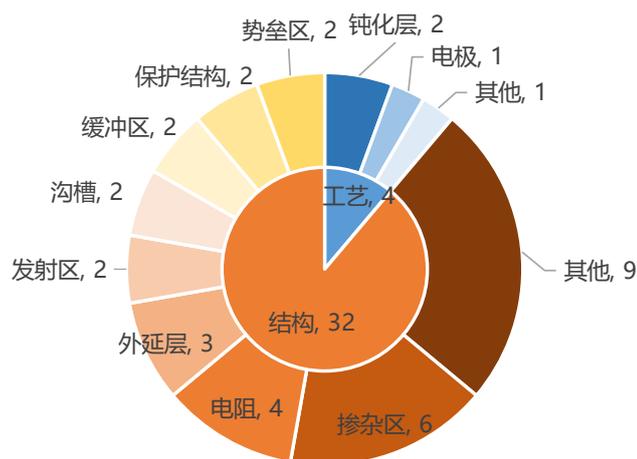


图 3.2-8 二极管技术分支布局情况（同族合并）

从申请趋势来看，士兰微从 2010 年开始在 MOSFET 和二极管技术上布局专利，专利申请具有较好的连续性。2016 年在 MOSFET 上申请的专利达到 24 项，近三年仍布局了较多专利。2017 年在二极管上申请的专利达到 8 项，但是近三年布局专利较少。IGBT 技术主要申请于 2011 至 2017 年间，近三年布局专利较少。模块/电路技术专利申请始于 2011 年，在 2018 年达到顶峰 8 项。宽禁带功率半导体器件近几年的研究也较多。

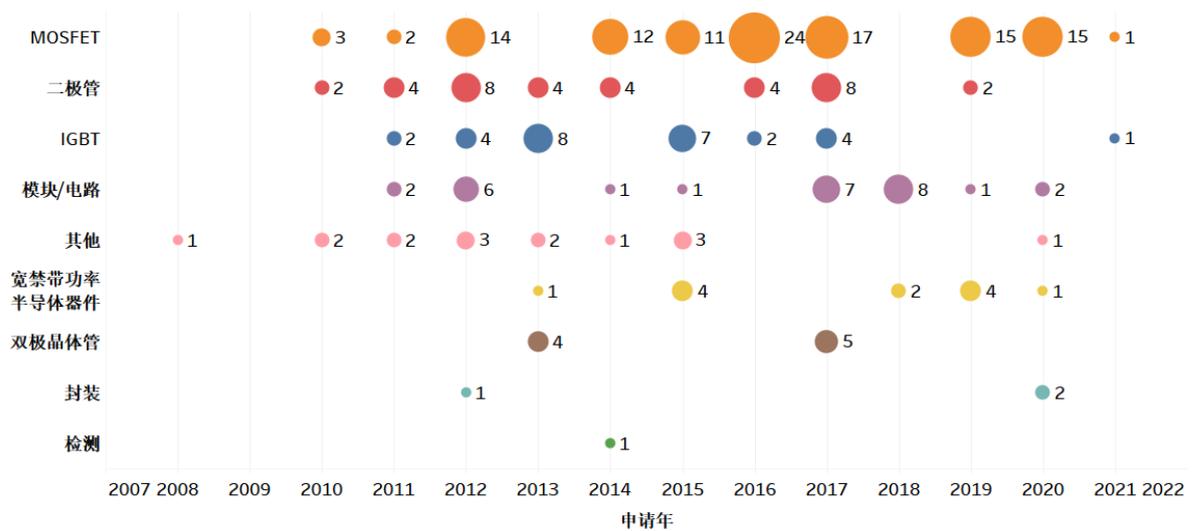


图 3.2-8 各技术分支专利申请情况 (同族合并)

3.2.6 技术功效分析

可靠性、提高击穿电压、降低成本、小型化是士兰微关注的重点，布局专利较多。在 MOSFET 技术上，关注的重点是可靠性、提高击穿电压、降低导通电阻；在 IGBT 技术上，关注的重点是降低导通压降、降低成本、可靠性、提高击穿电压；在二极管技术上，关注的重点是可靠性、均匀性、降低电容、小型化；在模块/电路技术上，关注的重点是可靠性、小型化。从时间维度来看，在 MOSFET 技术上，提高击穿电压、降低导通电阻、减小寄生、小型化、良率是士兰微近几年在器件性能上研究的重点，士兰微近几年在 IGBT、二极管器件性能上布局热度较低。

总的来看，在器件性能上可靠性、提高击穿电压、降低成本、小型化是士兰微研究的重点，布局专利较多；其次在降低导通电阻、器件稳定性、良率、降低导通压降、降低工艺难度、降低电容、提高均匀性、改善开关速度、抗 ESD 能力上面也布局了较多专利；在改善开关速度、大电流传输、改善反向恢复特性、

提高膜层质量、减小寄生、散热、生产效率、提高小电流放大倍数、测试精度、测试效率、多功能化、减小功耗、调节阈值电压、改善欧姆接触特性、兼容性等性能上，士兰微的关注度较低，布局专利较少。

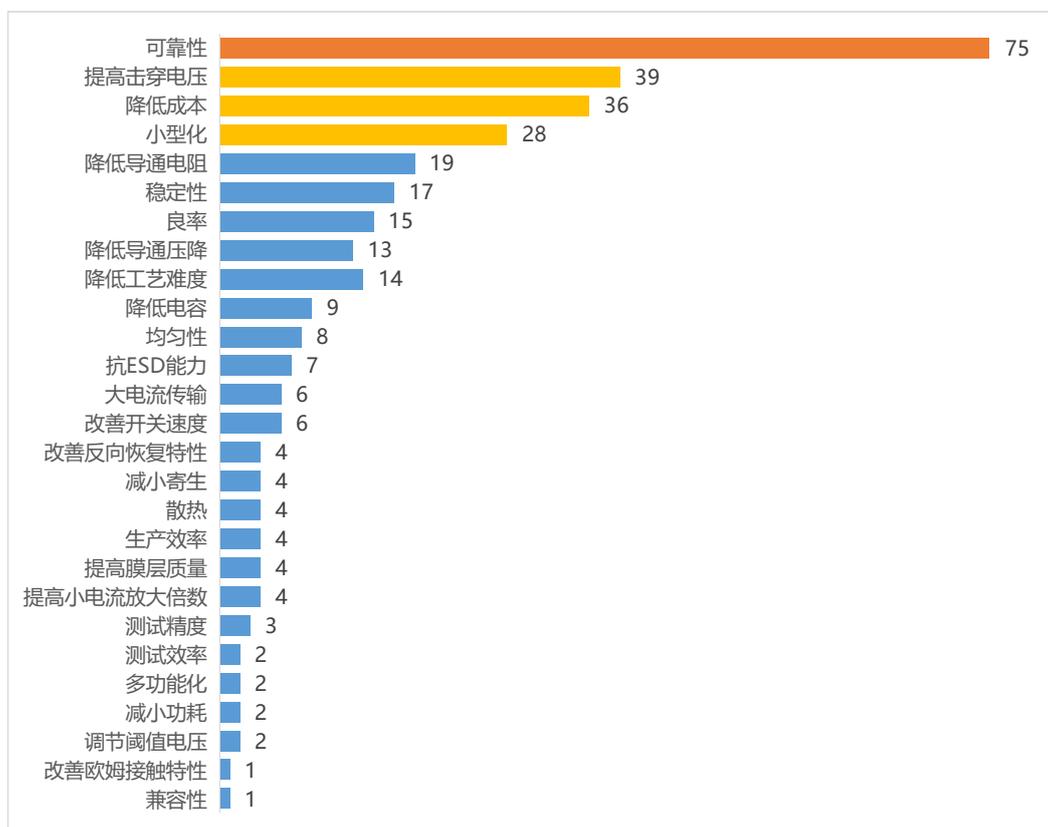


图 3.2-9 技术功效布局情况

在 MOSFET 技术上，可靠性、提高击穿电压、降低导通电阻是士兰微最关注的器件性能，布局专利分别是 44 项、24 项、18 项；在降低成本、小型化、降低工艺难度、良率上也布局了较多专利；在减小寄生、抗 ESD 能力、改善开关速度、调节阈值电压、提高膜层质量、稳定性上，布局专利较少。从时间维度来看，提高击穿电压、降低导通电阻、减小寄生、小型化、良率是士兰微近几年在器件性能上研究的重点。

技术分类	技术功效	2008	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	总计
MOSFET	可靠性	2	1	4		6	3	18	8		1	1			44
	提高击穿电压		1	2		3	2	2	1		8	4	1		24
	降低导通电阻	1	1			1	2	2	1		7	3	1		18
	降低成本			2		1	1	2	6		4				16
	小型化			2			3	4				3			12
	降低工艺难度					6	2								8
	良率								4			3			7
	减小寄生											4			4
	抗ESD能力			4											4
	改善开关速度			2											2
	提高膜层质量						2								2
	调节阈值电压			2											2
稳定性						2								2	

图 3.2-10 MOSFET 技术功效布局情况

在 IGBT 技术上，降低导通压降、降低成本、可靠性、提高击穿电压是士兰微最关注的器件性能，布局专利分别是 9 项、6 项、6 项、6 项；在降低工艺难度、良率、稳定性、改善开关速度、降低电容上布局专利较少。从时间维度来看，士兰微近几年在 IGBT 器件上布局热度较低。

技术分类	技术功效	2008	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	总计
IGBT	降低导通压降				2	4		1	2						9
	降低成本			2	2					2					6
	可靠性				2			2		2					6
	提高击穿电压					4				2					6
	降低工艺难度					4									4
	良率					4									4
	稳定性							4							4
	改善开关速度									2				1	3
	降低电容							2							2

图 3.2-11 IGBT 技术功效布局情况

在二极管技术上，可靠性、稳定性、均匀性、降低电容、小型化是士兰微最关注的器件性能，布局专利分别是 9 项、9 项、8 项、6 项、6 项；在改善反向恢复特性、降低成本、降低导通压降、大电流传输、抗 ESD 能力上布局部分专利，而在生产效率、良率、提高击穿电压上布局专利较少。从时间维度来看，士兰微近几年在二极管器件上布局热度较低。

技术分类	技术功效	2008	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	总计
二极管	可靠性	1		4					4						9
	稳定性		2	4				3							9
	均匀性	1		2	2			1			2				8
	降低电容								6						6
	小型化					2			4						6
	改善反向恢复特性			2					2						4
	降低成本		2			2									4
	降低导通压降		2		2										4
	大电流传输								3						3
	抗ESD能力	1			2										3
	生产效率					2									2
	良率	1													1
	提高击穿电压								1						1

图 3.2-12 二极管技术功效布局情况

在模块/电路技术上，可靠性、小型化是士兰微最关注的器件性能，布局专利分别是 10 项、6 项；在降低成本、测试精度、大电流传输、散热上布局专利较多，而在多功能化、减小功耗、改善开关速度、降低电容、降低工艺难度、提高击穿电压上布局专利较少。从时间维度来看，降低成本、大电流传输、测试精度是士兰微近几年在模块/电路技术上研究的重点。

技术分类	技术功效	2008	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	总计
模块/电路	可靠性				2		1			5	1	1			10
	小型化				1					1	4				6
	降低成本				2		1						1		4
	测试精度										3				3
	大电流传输										3				3
	散热			1							1			1	3
	多功能化				2										2
	减小功耗				2										2
	改善开关速度								1						1
	降低电容										1				1
	降低工艺难度				1										1
	提高击穿电压			1											1

图 3.2-13 模块/电路技术功效布局情况

宽禁带功率半导体器件、双极晶体管、封装、及其他技术上的技术功效分布如图所示，近几年布局的热度都不高。

技术分类	技术功效	2008	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	总计
宽禁带功率半导体器件	可靠性										2	2			4
	良率											2			2
	提高击穿电压							2							2
	提高膜层质量							2							2
	兼容性					1									1
	降低成本													1	1

图 3.2-14 宽禁带功率半导体器件技术功效布局情况

技术分类	技术功效	2008	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	总计
双极晶体管	提高小电流放大倍数					4									4
	提高击穿电压									3					3
	稳定性									2					2
	可靠性									1					1

图 3.2-15 双极晶体管技术功效布局情况

技术分类	技术功效	2008	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	总计
封装	小型化												2		2
	散热												1		1
	生产效率				1										1

图 3.2-16 封装技术功效布局情况

技术分类	技术功效	2008	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	总计
其他	降低成本	1		2			1								4
	测试效率					2									2
	提高击穿电压				2										2
	小型化		1					1							2
	改善欧姆接触特性		1												1
	降低工艺难度							1							1
	可靠性												1		1
	良率							1							1
	生产效率				1										1

图 3.2-17 其他技术功效布局情况

3.2.7 重点技术分析

3.2.7.1 MOSFET 技术

栅极技术

在 MOSFET 器件中，栅极技术是士兰微研究的重点，特别是沟槽栅和分裂栅技术，布局了大量专利，技术主要集中在近几年。其他栅极技术也有布局在栅氧化介质层、栅极电阻。

在沟槽栅技术中，提出了在第一沟槽和第二沟槽的上部形成介质层和阻止层来定义接触孔线宽，以缩小线宽；提出了槽栅结构被阻止层、氧化层、侧墙保护起来的结构；设计了屏蔽栅和控制栅，以及分压介质层；提出了多次回蚀刻和沉积结合的填充工艺；设计了屏蔽介质层，沟槽子掺杂区等技术。

在分裂栅技术中,提出了沟槽中栅极导体和屏蔽导体,以及屏蔽布线的设计;提出利用不同尺寸沟槽的填充效果,同时形成栅极导体和栅极布线;在沟槽的底部形成与半导体衬底相反掺杂类型的掺杂区;提出了源极电极通过位于栅极导体之间的接触孔与屏蔽导体电连接等技术。

(1) 沟槽栅技术

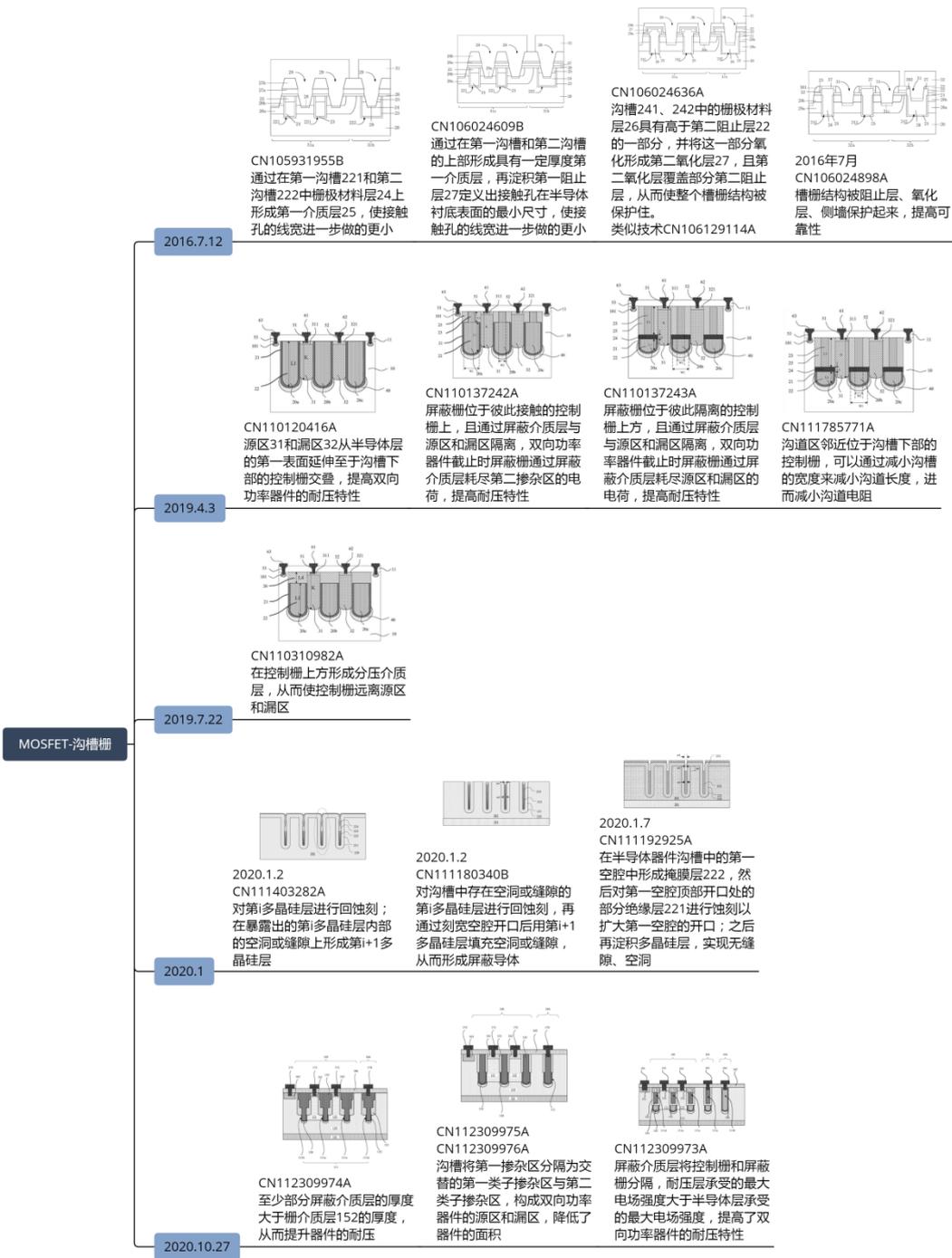
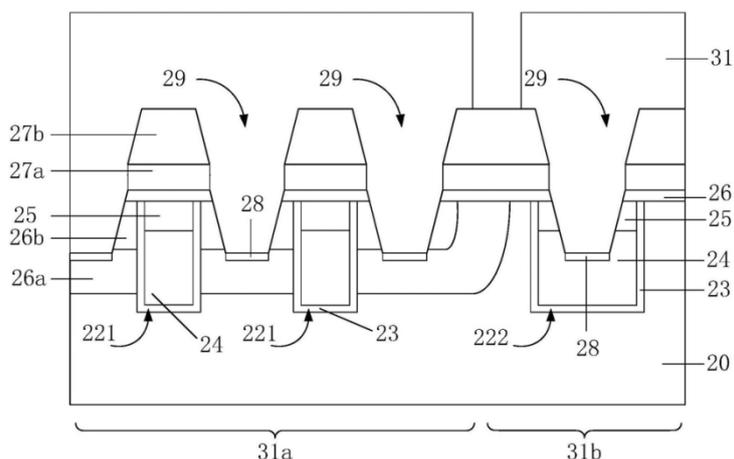


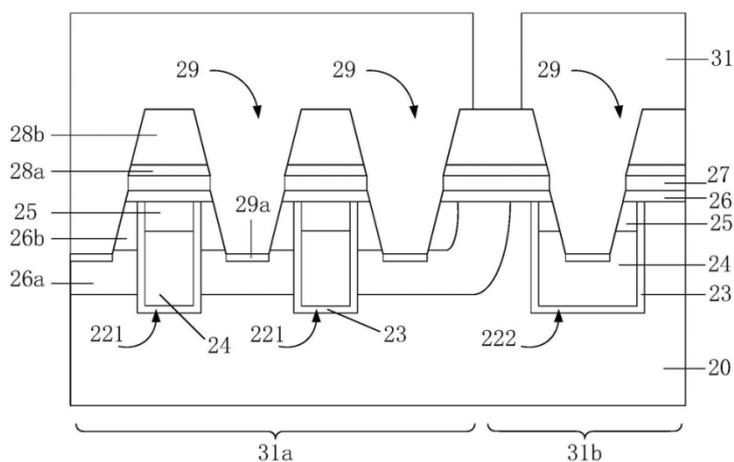
图 3.2-18 MOSFET 沟槽栅技术布局情况

2016年7月12日, CN105931955B (CN205863136U) 公开了一种沟槽功率器件及制作方法, **通过在第一沟槽 221 和第二沟槽 222 中栅极材料层 24 上形成第一介质层 25, 使得沟槽栅极区域距离半导体衬底表面有一定距离, 再**

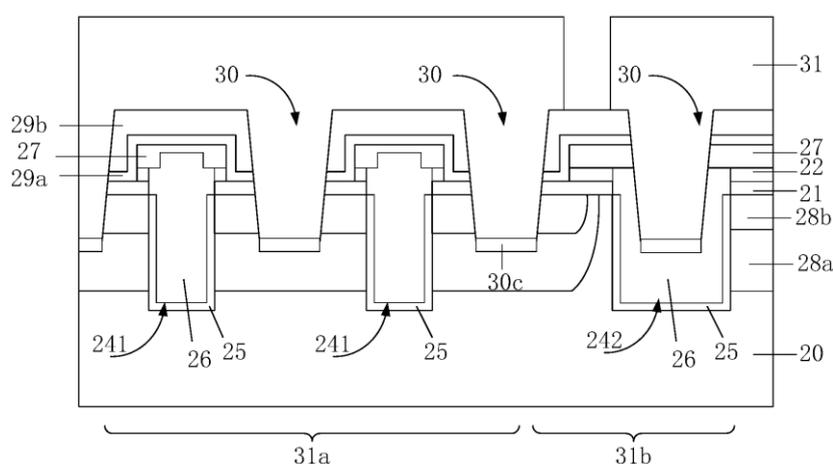
进行接触孔刻蚀，可以使接触孔的线宽进一步做的更小。从而在现有光刻设备条件下实现更小线宽和更大的套刻余量，进而实现更小线宽的器件结构的生产，同时使产品的参数和可靠性满足要求。



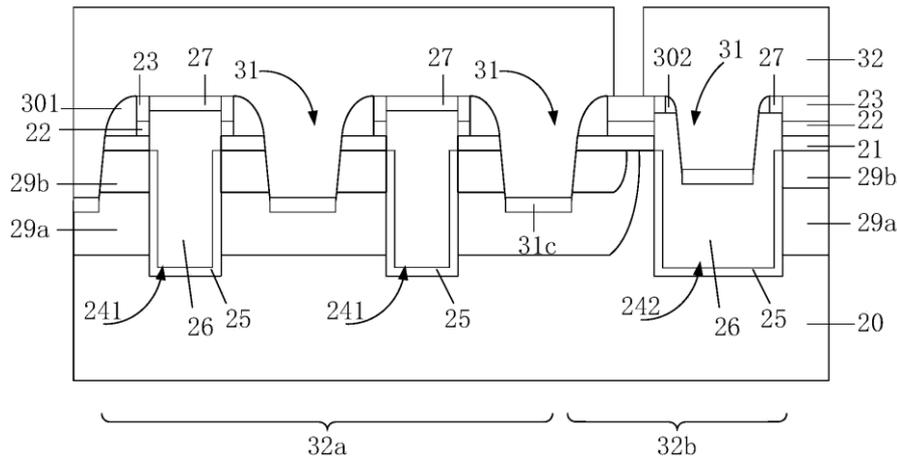
2016年7月12日, CN106024609B 公开了一种沟槽功率器件及制作方法, 通过在第一沟槽 221 和第二沟槽 222 的上部形成具有一定厚度第一介质层 25, 使得沟槽栅极区域距离半导体衬底表面有一定距离, 再淀积第一阻止层 27 定义出接触孔在半导体衬底表面的最小尺寸, 从而在进行接触孔刻蚀时, 可以使接触孔的线宽进一步做的更小, 并且保证接触孔到第一沟槽和第二沟槽的间距, 从而使接触孔与第一沟槽和第二沟槽的套刻有足够的余量, 实现更小线宽的器件结构的生产, 同时使产品的参数和可靠性满足要求。



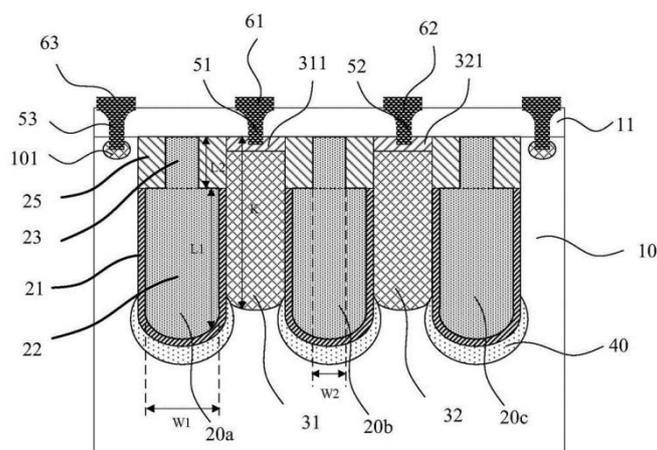
2016年7月12日,CN106024636A(CN205863138U,CN106129114A,CN205911312U)公开了一种槽栅功率器件及制作方法,沟槽241、242中的栅极材料层26具有高于第二阻止层22的一部分,并将这一部分氧化形成第二氧化层27,且第二氧化层覆盖部分第二阻止层,从而使整个槽栅结构被保护住,在现有光刻设备条件下使槽栅结构在加工工艺中不受到接触孔不稳定工艺的影响,实现更小线宽和更大的套刻余量产品的生产,使产品的参数和可靠性满足要求。



2016年7月12日,CN106024898A公开了一种沟槽功率器件及制作方法,通过将第一沟槽241和第二沟槽242顶部的栅极材料层26氧化形成第二氧化层27,第一沟槽241中栅极材料层26露出半导体衬底20表面的侧壁被第二阻止层22、第三阻止层23和第一侧墙301保护,同时顶部被第二氧化层27保护住;第二沟槽242中栅极材料层26露出半导体衬底20表面的侧壁被第二阻止层22、第三阻止层23和第一侧墙301保护,同时顶部两侧被第二氧化层27和第二侧墙302保护住。由此,槽栅结构获得了保护,有利于提高产品的性能和可靠性。

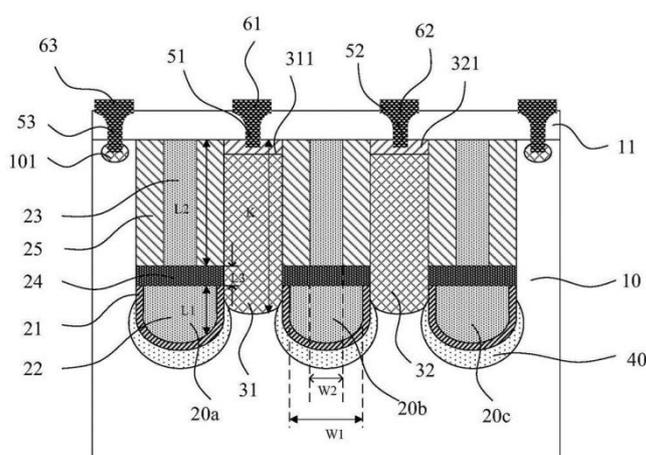


2019年4月3日, CN110137242A (TW202034526A) 公开了一种双向功率器件及其制造方法,双向功率器件包括:半导体层;位于半导体层中的沟槽;位于沟槽侧壁上的栅介质层;位于沟槽下部的控制栅 22;位于沟槽上部的屏蔽栅 23,其中,控制栅 22 和屏蔽栅 23 彼此接触,控制栅与半导体层之间由栅介质层 21 隔开。本申请的屏蔽栅位于彼此接触的控制栅上,且通过屏蔽介质层与源区和漏区隔离,双向功率器件截止时屏蔽栅通过屏蔽介质层耗尽第二掺杂区的电荷,提高耐压特性;双向功率器件导通时,源区和/或漏区与半导体层提供低阻抗的导通路径。



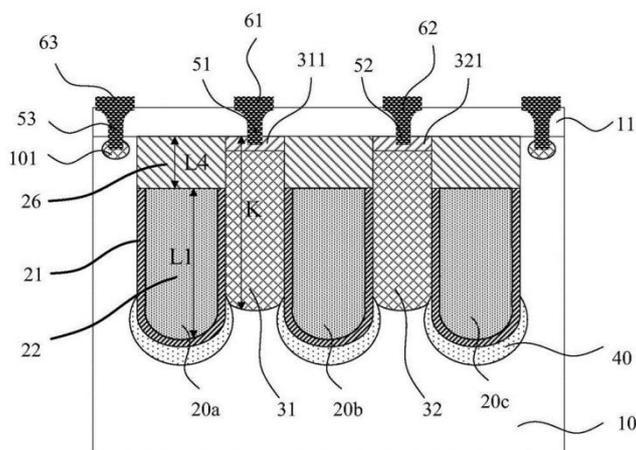
2019年4月3日, CN110137243A (TW202034532A) 公开了一种双向功率器件及其制造方法,双向功率器件包括:半导体层;位于半导体层中的沟槽;

位于沟槽侧壁上的栅介质层；位于沟槽下部的控制栅 22；位于沟槽上部的屏蔽栅 23；以及位于控制栅和屏蔽栅之间的隔离层 24，其中，控制栅与半导体层之间由栅介质层 21 隔开。本申请中**屏蔽栅位于彼此隔离的控制栅上方，且通过屏蔽介质层与源区和漏区隔离，双向功率器件截止时屏蔽栅通过屏蔽介质层耗尽源区和漏区的电荷，提高耐压特性；双向功率器件导通时，源区和/或漏区与半导体层提供低阻抗的导通路径。**

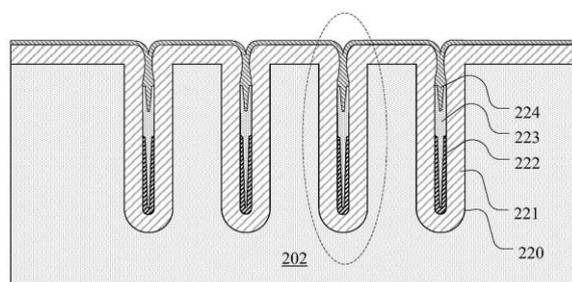


2019 年 4 月 3 日，CN110120416A 公开了一种双向功率器件及其制造方法，双向功率器件包括：半导体层；位于半导体层中的沟槽；位于沟槽 20 侧壁上的栅介质层 21；位于沟槽内的控制栅 22，控制栅从半导体层的第一表面延伸至沟槽下部；其中，控制栅与半导体层之间由栅介质层隔开。本方案中**沟槽内的控制栅 22 从半导体层的第一表面延伸至沟槽下部，源区 31 和漏区 32 从半导体层的第一表面延伸至于沟槽下部的控制栅交叠。源区和漏区延伸的长度较长，使得源区和漏区在双向功率器件截止时可以承担纵向方向上源区和漏区上施加的高压，提高双向功率器件的耐压特性。**

层承担了纵向方向上源区和漏区施加的高压，提高双向功率器件的耐压特性。

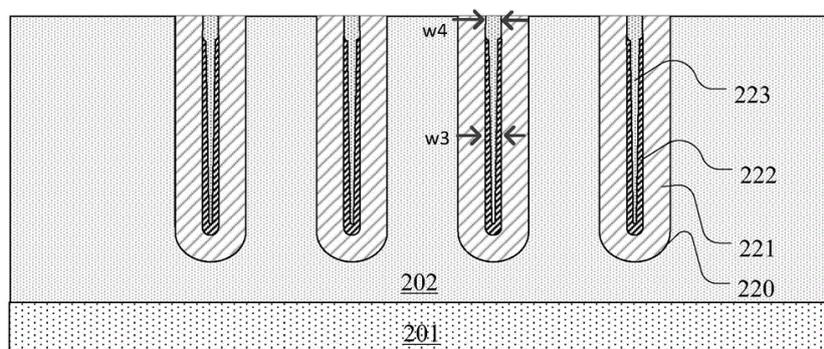


2020年1月2日, CN111403282A 公开了沟槽栅 MOSFET 功率半导体器件及其多晶硅填充方法和制造方法。该填充方法包括: 在半导体衬底上的外延层中形成沟槽; 在外延层表面和沟槽中形成绝缘层, 绝缘层围绕沟槽形成空腔; 在外延层表面和空腔中形成第 i 多晶硅层; 对第 i 多晶硅层进行回蚀刻; 在暴露出的第 i 多晶硅层内部的空洞或缝隙上形成第 $i+1$ 多晶硅层; 去除位于外延层表面上方的第 $i+1$ 多晶硅层和位于外延层表面上方的绝缘层, 第 i 多晶硅层至第 $i+1$ 多晶硅层形成屏蔽导体。本申请在沟槽中形成多个多晶硅层以消除空洞或缝隙, 从而可以提高功率半导体器件的良率、可靠性和延长寿命。

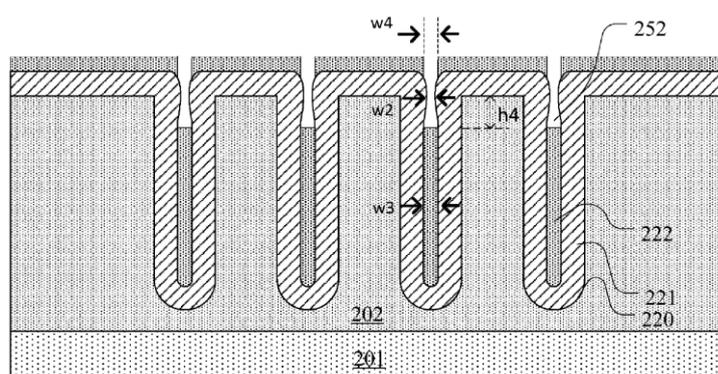


2020年1月2日, CN111180340B 公开一种沟槽栅 MOSFET 功率半导体器件及其多晶硅填充方法和制造方法, 通过对沟槽中存在空洞或缝隙的第 i 多晶硅层进行回蚀刻, 再通过刻宽空腔开口后用第 $i+1$ 多晶硅层填充空洞或缝隙, 从

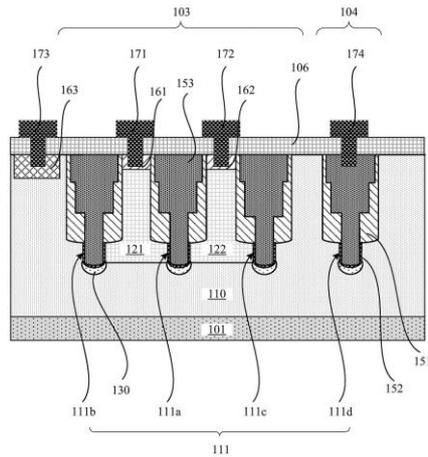
而形成屏蔽导体的方法，解决了在沟槽栅 MOSFET 功率器件中沟槽的屏蔽导体中存在空洞或缝隙等缺陷的问题。



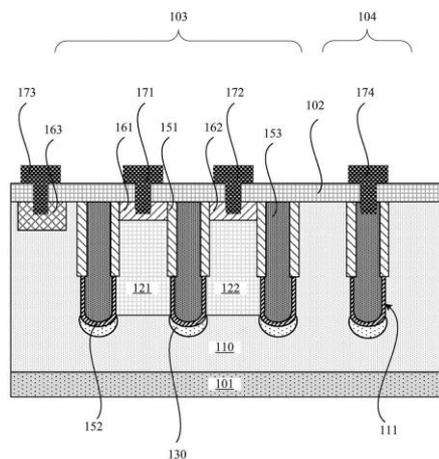
2020 年 1 月 7 日, CN111192925A 公开一种沟槽栅 MOSFET 功率半导体器件及其多晶硅填充方法和制造方法, 通过在半导体器件沟槽中的第一空腔中形成掩膜层 222, 然后对第一空腔顶部开口处的部分绝缘层 221 进行蚀刻以扩大第一空腔的开口; 之后再淀积多晶硅层, 实现无缝隙、空洞等缺陷的多晶填充, 从而形成屏蔽导体, 解决了在沟槽栅 MOSFET 功率器件中沟槽的屏蔽导体中存在空洞或缝隙等缺陷的问题。



2020 年 10 月 27 日, CN112309973A 公开了一种双向功率器件及其制造方法, 该双向功率器件包括: 半导体层; 第一掺杂区, 位于半导体层中; 第一沟槽区 103 的多个沟槽, 位于第一掺杂区中, 将第一掺杂区 120 分隔为交替的第一类子掺杂区 121 与第二类子掺杂区 122; 位于多个沟槽中的栅介质层 141、

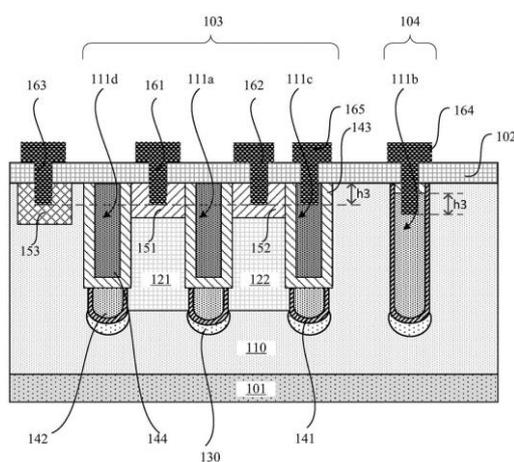


2020年10月27日, CN112309975A 公开了一种双向功率器件的制造方法, 包括: 在半导体层中形成第一掺杂区; 在第一沟槽区形成多个沟槽, 第一沟槽区的多个沟槽位于第一掺杂区中, 将第一掺杂区分隔为交替的第一类子掺杂区与第二类子掺杂区; 形成覆盖第一沟槽区的多个沟槽的下部侧壁的栅介质层; 形成覆盖第一沟槽区的多个沟槽的上部侧壁的屏蔽介质层; 以及在第一沟槽区的多个沟槽的中形成分别与栅介质层和屏蔽介质层接触的栅极导体, 其中, 栅极导体包括相连的控制栅与屏蔽栅, 控制栅与栅介质层接触, 屏蔽栅与屏蔽介质层接触。该制造方法利用沟槽将第一掺杂区分隔为交替的第一类子掺杂区与第二类子掺杂区, 构成双向功率器件的源区和漏区, 降低了器件的面积。



2020年10月27日, CN112309976A 公开了一种双向功率器件的制造方

法, 包括: 在半导体层中形成第一掺杂区; 在第一沟槽区形成多个沟槽, 第一沟槽区的多个沟槽位于第一掺杂区中, 将第一掺杂区分隔为交替的第一类子掺杂区与第二类子掺杂区; 形成覆盖第一沟槽区的多个沟槽的下部侧壁的栅介质层; 在第一沟槽区的多个沟槽的下部形成与栅介质层接触的控制栅; 形成屏蔽介质层, 屏蔽介质层覆盖第一沟槽区的多个沟槽的上部侧壁与控制栅的表面; 以及在第一沟槽区的多个沟槽的上部形成与屏蔽介质层接触的屏蔽栅, 其中, 屏蔽介质层将控制栅和屏蔽栅分隔。该制造方法利用沟槽将第一掺杂区分隔为交替的第一类子掺杂区与第二类子掺杂区, 构成双向功率器件的源区和漏区, 降低了器件的面积。



(2) 分裂栅技术

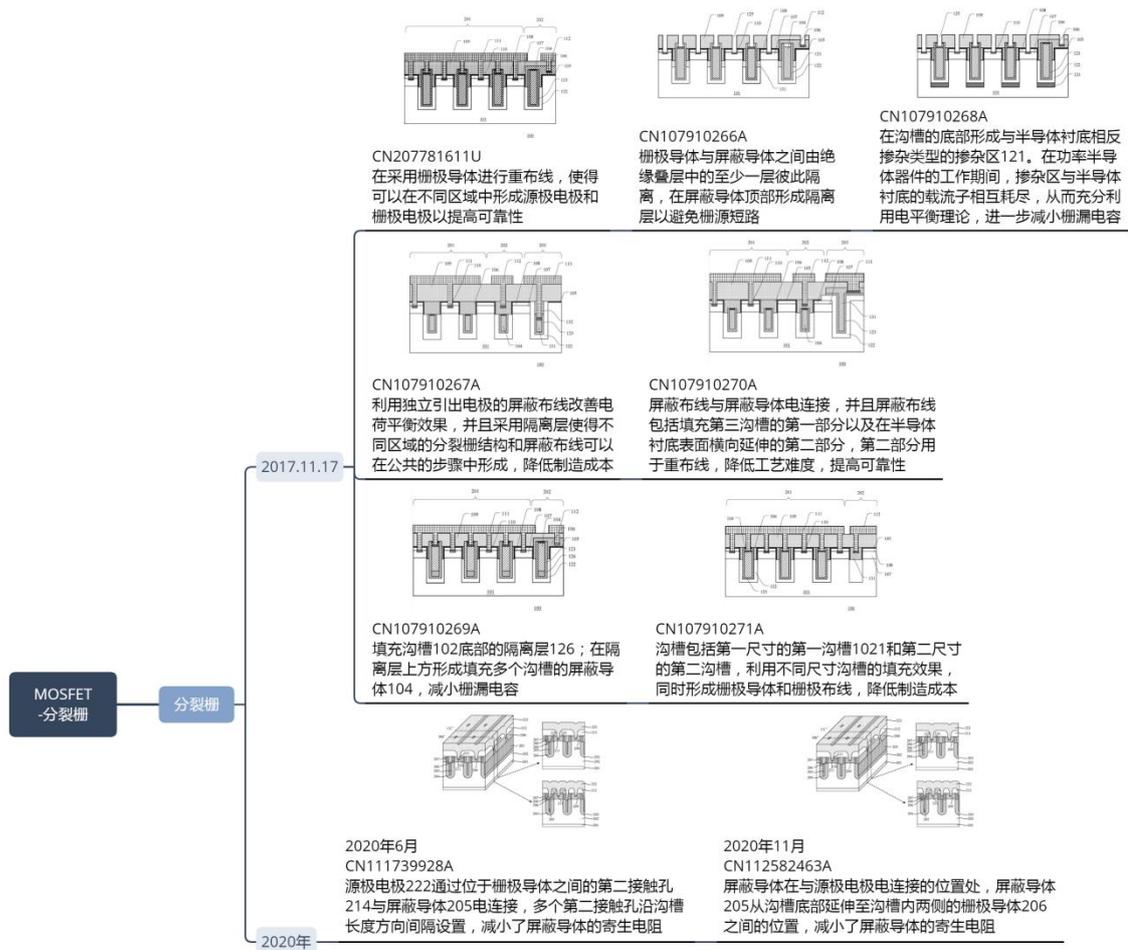
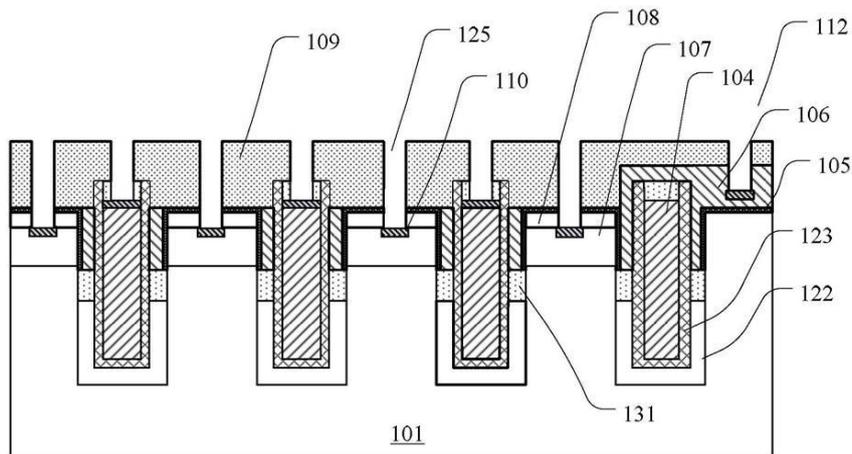
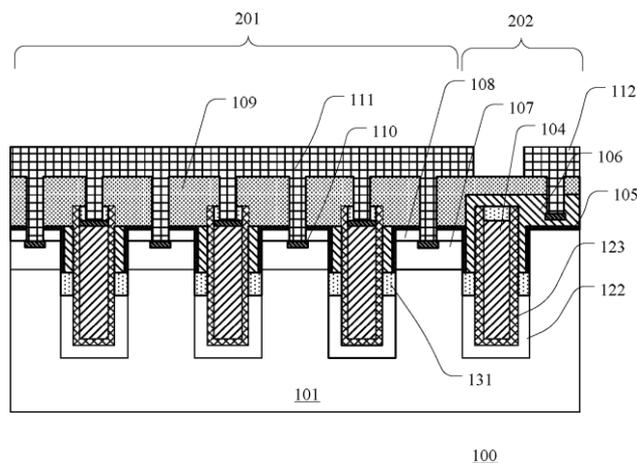


图 3.2-19 MOSFET 分裂栅技术布局情况

2017年11月17日, CN207781611U 公开了功率半导体器件。该功率半导体器件包括: 位于半导体衬底中的多个沟槽; 位于多个沟槽下部侧壁和底部的绝缘叠层; 至少一部分位于多个沟槽中的屏蔽导体 104; 在多个沟槽上部中位于屏蔽导体两侧的栅极导体; 与源区和屏蔽导体电连接的源极电极; 以及与栅极导体电连接的栅极电极, 其中, 栅极导体与屏蔽导体之间由绝缘叠层中的至少一层彼此隔离, 栅极导体与体区之间由栅极电介质彼此隔离, 屏蔽导体与半导体衬底之间由绝缘叠层彼此隔离, **栅极导体 106 用于重布线以实现与栅极电极 112 的电连接。该功率半导体器件利用栅极重布线以实现栅极电极 112 和源极电极 111**

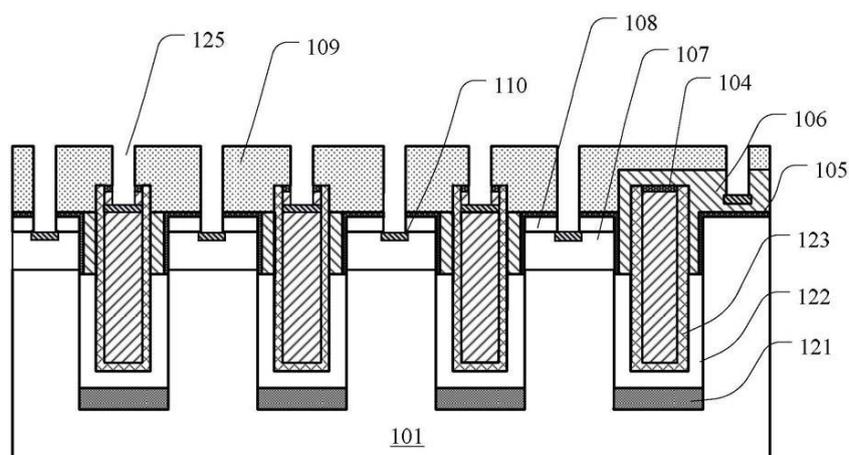


2017年11月17日, CN207781612U公开了一种功率半导体器件。该功率半导体器件包括: 位于半导体衬底中的多个沟槽; 位于多个沟槽下部侧壁和底部的绝缘叠层; **至少一部分位于多个沟槽中的屏蔽导体 104, 屏蔽导体从多个沟槽上方延伸至其底部, 并且与半导体衬底之间由绝缘叠层彼此隔离**; 在多个沟槽上部中位于屏蔽导体两侧的栅极导体; 与源区和屏蔽导体电连接的源极电极; 以及与栅极导体电连接的栅极电极, 其中, 栅极导体与屏蔽导体之间由绝缘叠层中的至少一层彼此隔离, 栅极导体与体区之间由栅极电介质彼此隔离, 屏蔽导体与半导体衬底之间由绝缘叠层彼此隔离。该功率半导体器件在屏蔽导体顶部形成隔离层以避免栅源短路。

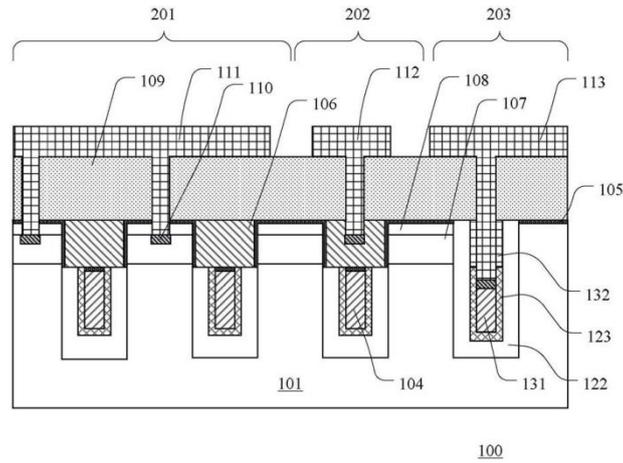


2017年11月17日, CN107910268A公开了功率半导体器件及其制造方

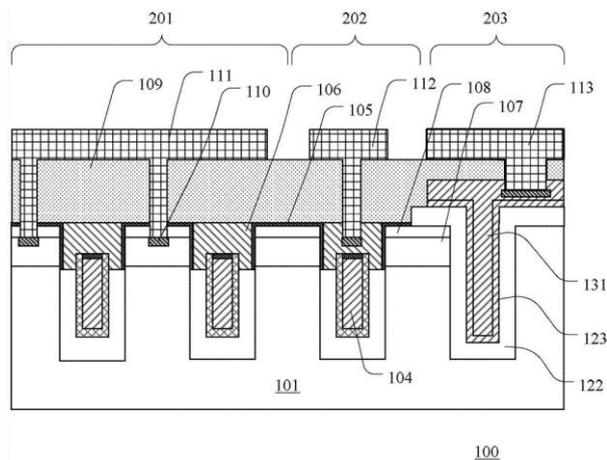
法，在功率半导体器件中形成 SGT 结构，其中，在屏蔽导体 104 与半导体衬底之间形成绝缘叠层 122、123，从而减小栅漏电容 C_{gd} 。进一步地，在沟槽的底部形成与半导体衬底相反掺杂类型的掺杂区 121。在功率半导体器件的工作期间，掺杂区与半导体衬底的载流子相互耗尽，从而充分利用电平衡理论，进一步减小栅漏电容 C_{gd} 。该步骤可以直接采用用于形成沟槽的光致抗蚀剂掩模，从而可以降低工艺复杂性和减少制造成本。



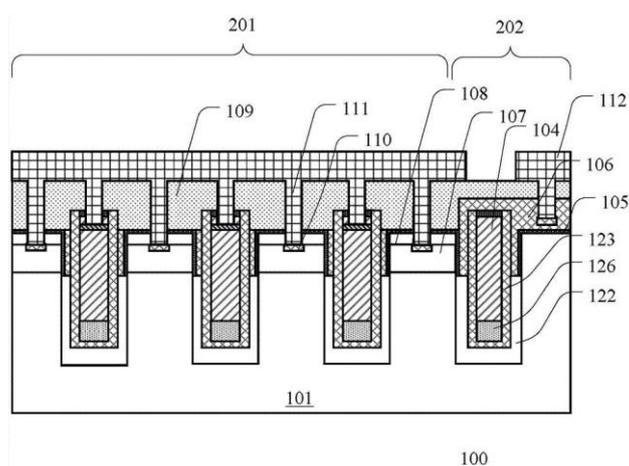
2017 年 11 月 17 日，CN107910267A (CN207398150U) 公开了功率半导体器件及其制造方法。该方法包括：在半导体衬底中形成多个沟槽 102，多个沟槽包括分别位于半导体衬底的第一区域至第三区域的第一至第三沟槽；在第一沟槽和第二沟槽中形成分裂栅结构；在第三沟槽中形成屏蔽布线 131；在半导体衬底中体区；在体区中形成源区；以及形成分别与源区 108、源极导体和屏蔽布电线连接的源极电极 111、栅极电极 112 和屏蔽电极 113，其中，在第三沟槽上部形成隔离层 132，屏蔽电极经由穿过隔离层的接触孔 125 到达屏蔽布线。该方法利用独立引出电极的屏蔽布线改善电荷平衡效果，并且采用隔离层使得不同区域的分裂栅结构和屏蔽布线可以在公共的步骤中形成，从而降低制造成本。



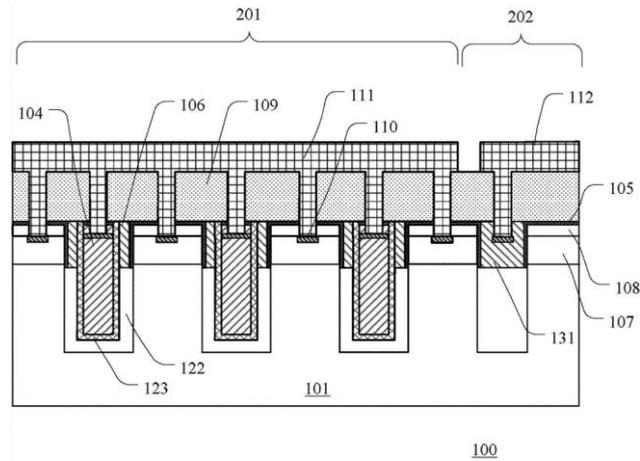
2017年11月17日, CN107910270A (CN207781610U) 公开了功率半导体器件及其制造方法。该方法包括: 在半导体衬底中形成多个沟槽; 在第一沟槽和第二沟槽中形成分裂栅结构; **在第三沟槽中形成屏蔽布线 131**; 在半导体衬底中体区; 在体区中形成源区; 以及形成分别与源区、源极导体和屏蔽布线电连接的源极电极、栅极电极和屏蔽电极, 其中, **屏蔽布线 131 与屏蔽导体 104 电连接, 并且屏蔽布线包括填充第三沟槽的第一部分以及在半导体衬底表面横向延伸的第二部分, 第二部分用于重布线。采用屏蔽布线 131 的第二部分作为布线层, 使得多个接触孔 125 中, 用于源区 108、屏蔽布线 104 和栅极导体 106 的接触孔可以彼此远离, 从而降低工艺难度, 提供功率半导体器件的可靠性。**



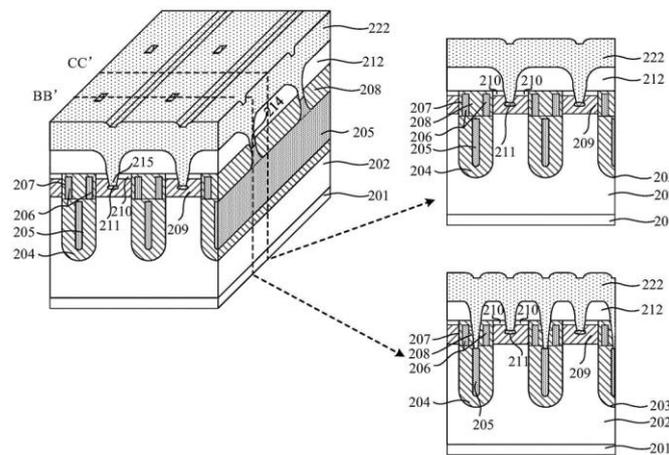
2017年11月17日, CN107910269A 公开了一种功率半导体器件及其制造方法。该方法包括: 在多个沟槽的侧壁和底部上形成绝缘叠层, 绝缘叠层包括第一绝缘层 122 和第二绝缘层 123, 第一绝缘层围绕所述第二绝缘层; **形成填充沟槽 102 底部的隔离层 126; 在隔离层上方形成填充多个沟槽的屏蔽导体 104;** 在多个沟槽的上部形成位于屏蔽导体两侧的开口; 在多个沟槽上部的侧壁上形成栅极电介质; 形成栅极导体以填充开口; 其中, 屏蔽导体与半导体衬底之间由隔离层和绝缘叠层彼此隔离。该方法**在屏蔽导体与半导体衬底之间形成隔离层和绝缘叠层, 从而减小栅漏电容。**



2017年11月17日, CN107910271A (CN207781609U) 公开了一种功率半导体器件及其制造方法。该方法包括: 在半导体衬底中形成多个沟槽, **多个沟槽包括第一尺寸的第一沟槽 1021 和第二尺寸的第二沟槽 1022, 第一尺寸大于第二尺寸;** 在第一沟槽中形成分裂栅结构; 在第二沟槽中形成栅极布线 131, 栅极布线与栅极导体 106 相连接; 在半导体衬底中体区; 在体区中形成源区; 以及形成源极电极和栅极电极, 源极电极 111 与源区和屏蔽导体 104 电连接, 栅极电极 112 与栅极布线 131 电连接。该方法**利用不同尺寸沟槽的填充效果, 同时形成栅极导体和栅极布线, 从而可以简化工艺, 降低制造成本。**

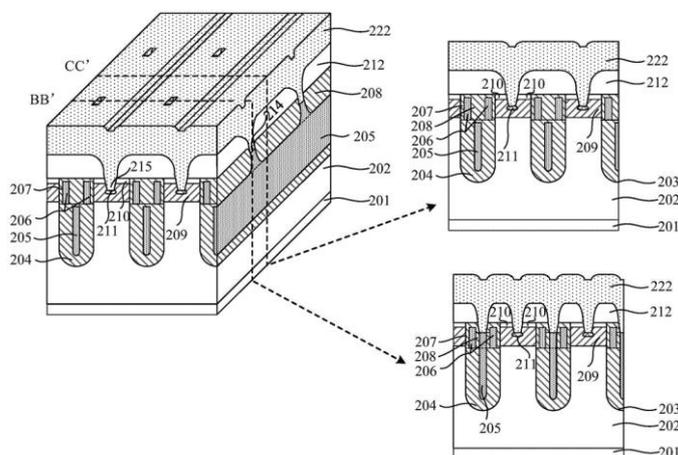


2020年6月2日，CN111739928A (CN212434630U) 公开了一种功率半导体器件及其制造方法，功率半导体器件的栅极导体 206 分别位于沟槽 203 上部的两侧，屏蔽导体 205 位于栅极导体的下方区域，源极电极 222 通过位于栅极导体之间的第二接触孔 214 与屏蔽导体 205 电连接，多个第二接触孔沿沟槽长度方向间隔设置，减小了屏蔽导体的寄生电阻，使得寄生电阻下降几十倍。



2020年11月24日，CN112582463A 公开了一种功率半导体器件及其制造方法，功率半导体器件的部分屏蔽导体 205 与源极电极 222 连接，屏蔽导体在与源极电极电连接的位置处，屏蔽导体 205 从沟槽底部延伸至沟槽内两侧的栅极导体 206 之间的位置，栅极导体 206 和屏蔽导体 205 之间由隔离层 208 隔开，屏蔽导体与源极电极连接；部分屏蔽导体不与源极电极连接，屏蔽导体在

不与源极电极电连接的位置处，屏蔽导体从沟槽底部延伸至沟槽上部两侧的栅极导体下方区域，减小了屏蔽导体的寄生电阻，使得寄生电阻下降几十倍。



(3) 栅极其他技术

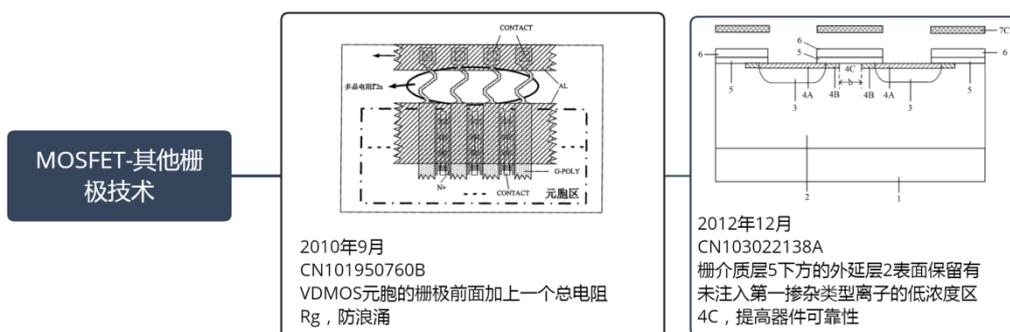
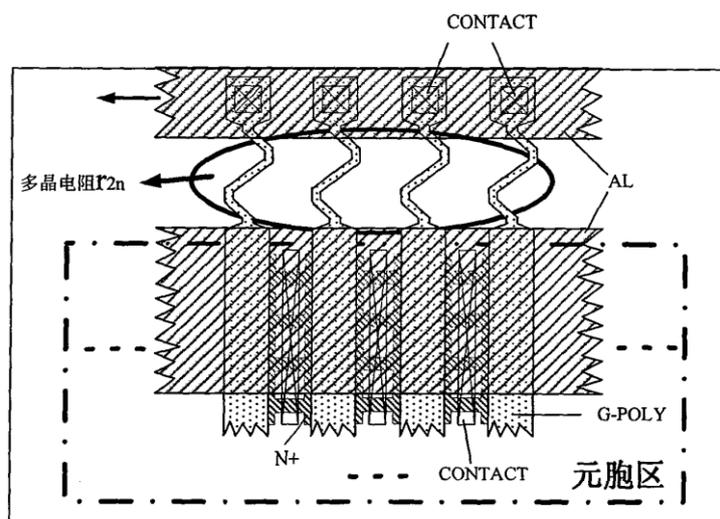


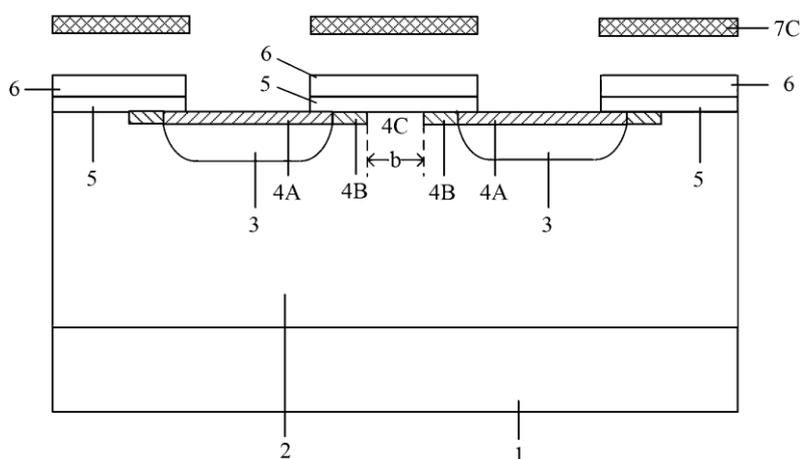
图 3.2-20 MOSFET 其他栅极技术布局情况

2010年9月9日, CN101950760B(CN102593163B)公开的高压VDMOS器件结构, 包括栅极压点与各VDMOS元胞: 其中, 栅极压点依次包括外延层、P型掺杂层、绝缘氧化层、多晶硅层、铝层。其中多晶硅两端连接铝, 一端的铝作为栅极压点, 另一端的铝则与各VDMOS元胞中的栅极相连接。相当于在所有VDMOS元胞的栅极前面加上一个总电阻 R_g , 通过该总电阻 R_g 使得VDMOS元胞的栅极受到大的浪涌电流冲击时, 能够靠总电阻 R_g 降低电流的峰值, 避免了VDMOS元胞中栅氧化层受到大电流冲击, 有效地起到限流保护作用

用。



2012年12月26日, CN103022138A 公开了一种高可靠性耗尽型功率半导体器件中, 栅介质层 5 下方的外延层 2 表面保留有未注入第一掺杂类型离子的低浓度区 4C, 换言之, 在通过注入反型离子形成反型层 4A 时并不涉及该部分。注入反型离子的部分浓度得到加强, 而未注入反型离子的部分浓度保持为原来浓度, 从而形成一个横向的浓度梯度。浓度保持为原来浓度的部分电场强度较弱, 使得栅介质层的电场强度也较弱, 保证了栅介质层工作在低应力条件下从而有利于提高器件可靠性。



超级结

在 MOSFET 器件中，超级结技术专利集中在 2014 年-2015 年，主要提出了几种沟槽超级结的形成工艺，例如：研磨后测量得到硅衬底上方的阻止层的厚度，然后进行热氧化生长，将沟槽中硅衬底表面高度以上的外延层全部氧化为二氧化硅层，再刻蚀去除阻止层和二氧化硅层，提高耐压性；或者根据半导体衬底上方的阻止层的实际厚度刻蚀沟槽内的外延层，直至使外延层与半导体衬底顶面齐平；采用与半导体衬底的掺杂类型相反的液态掺杂源进行扩散，在沟槽周围的半导体衬底中形成与半导体衬底的掺杂类型相反的掺杂区等。

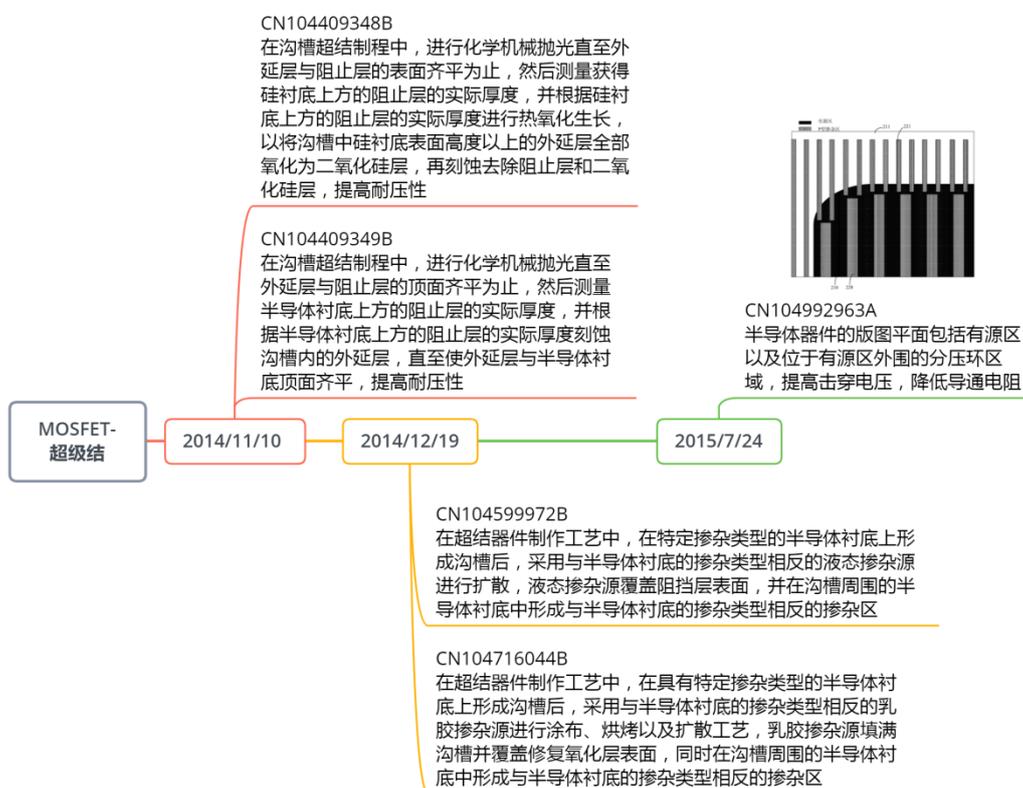
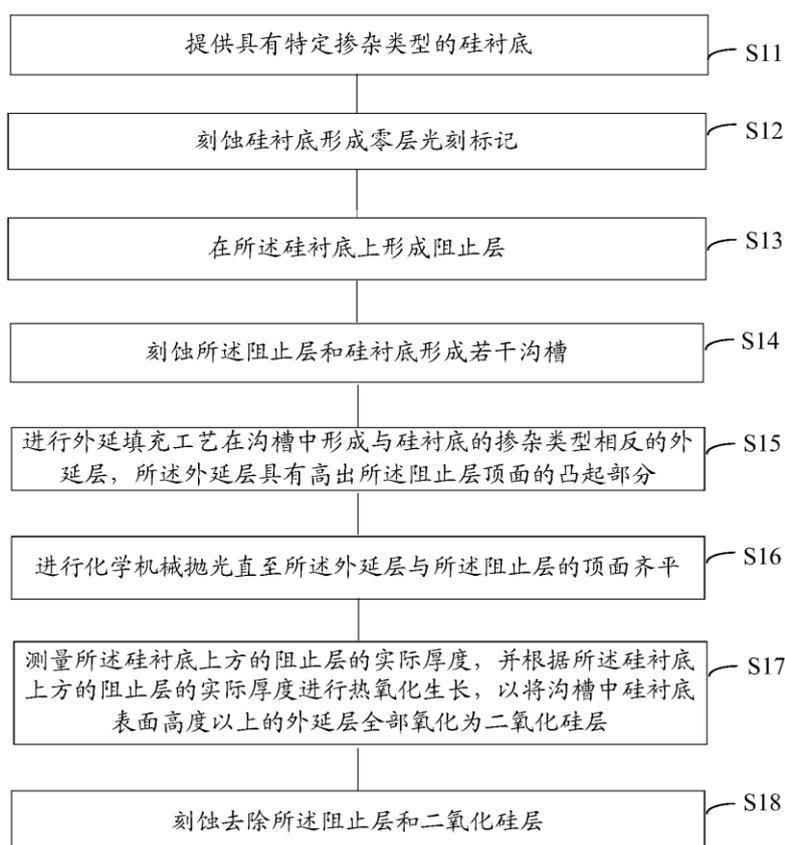


图 3.2-21 MOSFET 超级结技术布局情况

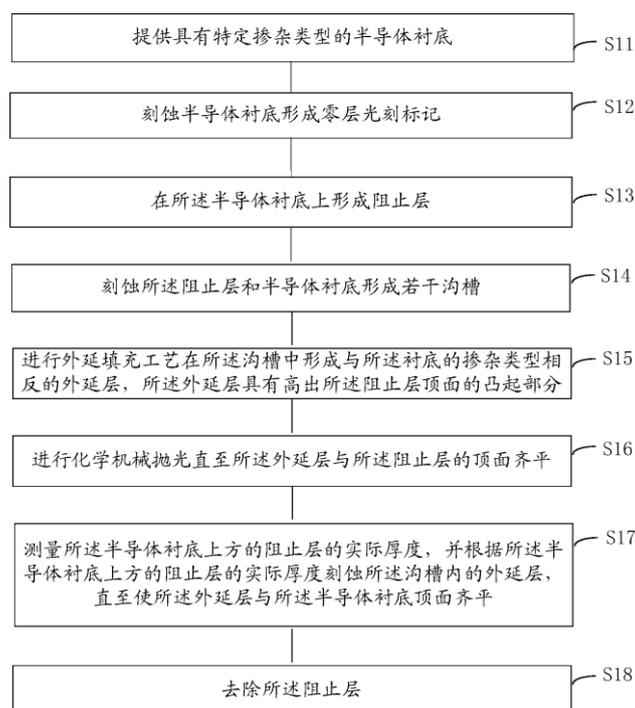
2014/11/10, CN104409348B 公开了一种沟槽器件的制作方法，在沟槽超结制程中，进行化学机械抛光直至外延层与阻止层的表面齐平为止，然后测量获得硅衬底上方的阻止层的实际厚度，并根据硅衬底上方的阻止层的实际厚度进

行热氧化生长, 以将沟槽中硅衬底表面高度以上的外延层全部氧化为二氧化硅层, 再刻蚀去除阻止层和二氧化硅层, 既可以去除高于衬底表面的外延层又不会损伤到零层光刻标记, 如此, 即可保证不会影响光刻对位, 又可取得较佳的平坦化效果, 避免外延层相对于硅衬底存在凸起使后道的栅氧、多晶工艺等形成台阶, 有利于提高器件的耐压等性能。

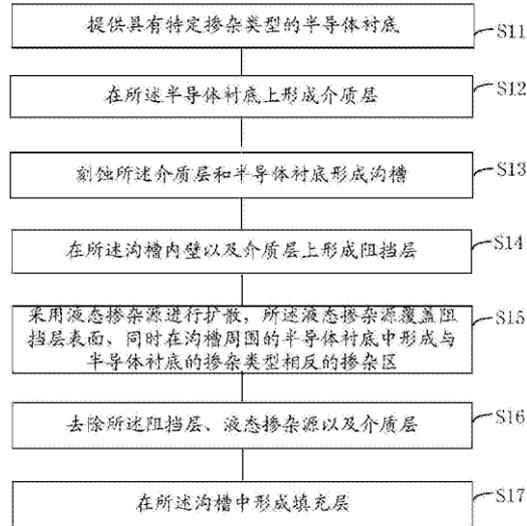


2014年11月10日, CN104409349B公开了一种沟槽器件的制作方法, 在沟槽超结制程中, 进行化学机械抛光直至外延层与阻止层的顶面齐平为止, 然后测量半导体衬底上方的阻止层的实际厚度, 并根据半导体衬底上方的阻止层的实际厚度刻蚀沟槽内的外延层, 直至使外延层与半导体衬底顶面齐平, 该方法既可以去除高于半导体衬底顶面的外延层又不会损伤到零层光刻标记, 如此, 即可保证不会影响光刻对位, 又可避免外延层相对于半导体衬底存在凸起使后道的栅

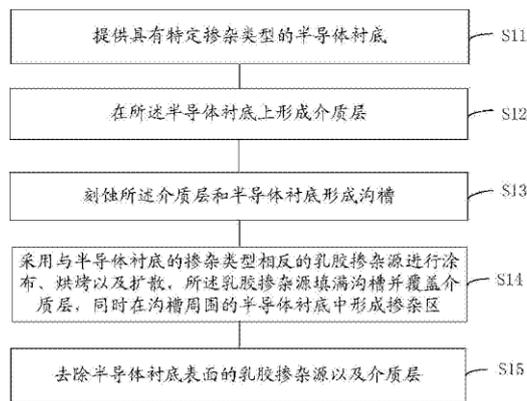
氧、多晶工艺等形成台阶，有利于提高器件的耐压等性能。



2014年12月19日，CN104599972B (CN204289395U) 公开了一种半导体器件及其形成方法，在超结器件制作工艺中，**在特定掺杂类型的半导体衬底上形成沟槽后，采用与半导体衬底的掺杂类型相反的液态掺杂源进行扩散，所述液态掺杂源覆盖阻挡层表面，并在沟槽周围的半导体衬底中形成与半导体衬底的掺杂类型相反的掺杂区，无需采用工艺复杂、技术难度较大的常规外延掺杂工艺，降低了工艺难度。另外，本发明在形成掺杂区后，采用填充性较佳的介质材料进行沟槽填充，有利于形成没有缝隙或空洞的填充层，使沟槽内部填充没有缺陷，降低了对沟槽刻蚀工艺的要求，保证器件的高压性能和可靠性要求。**

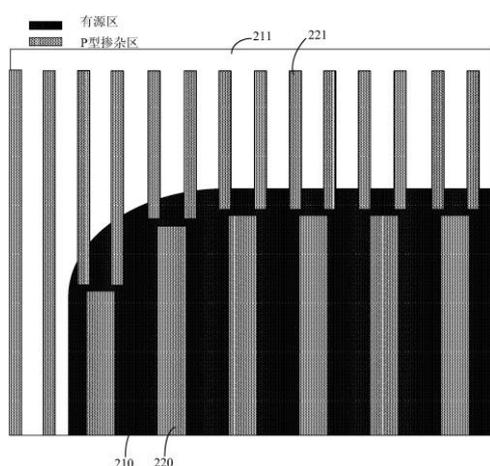


2014年12月19日，CN104716044B公开了一种半导体器件及其形成方法，在超结器件制作工艺中，**在具有特定掺杂类型的半导体衬底上形成沟槽后，采用与半导体衬底的掺杂类型相反的乳胶掺杂源进行涂布、烘烤以及扩散工艺，乳胶掺杂源填满沟槽并覆盖修复氧化层表面，同时在沟槽周围的半导体衬底中形成与半导体衬底的掺杂类型相反的掺杂区**，无需采用工艺复杂、技术难度较大的常规外延掺杂工艺，使沟槽内部填充没有缺陷，降低了对沟槽刻蚀工艺的要求，保证器件的高压性能和可靠性要求。



2015年7月24日，CN104992963A (CN204857728U)公开了一种超结结构的半导体器件及其制造方法、光刻版，半导体器件的版图平面包括有源区以及位于有源区外围的分压环区域，其特征在于，**有源区内具有沿第一方向延伸**

的多个第一 P 型掺杂区，多个第一 P 型掺杂区在第二方向上等间距排布，分压环区域内具有沿第一方向延伸的多个第二 P 型掺杂区，多个第二 P 型掺杂区在第二方向上等间距排布，第一 P 型掺杂区的击穿电压小于第二 P 型掺杂区的击穿电压，第二方向垂直于所述第一方向。本发明能够克服导通电阻与器件面积之间的矛盾，使得器件的击穿点始终在有源区内，保证器件正常工作。



隔离结构

在 MOSFET 器件中，隔离技术专利主要集中在 2016 年，提出了在沟槽中的第一填充材料层形成凹槽，在凹槽中形成第二填充材料层以形成静电隔离结构，并对这种结构从多个角度进行了保护；在 2019 年，还提出了采用同一光刻胶掩膜，先后分别形成第一掺杂类型的阱区、位于第一掺杂类型的阱区的至少部分表面的第一掺杂类型的补偿区。

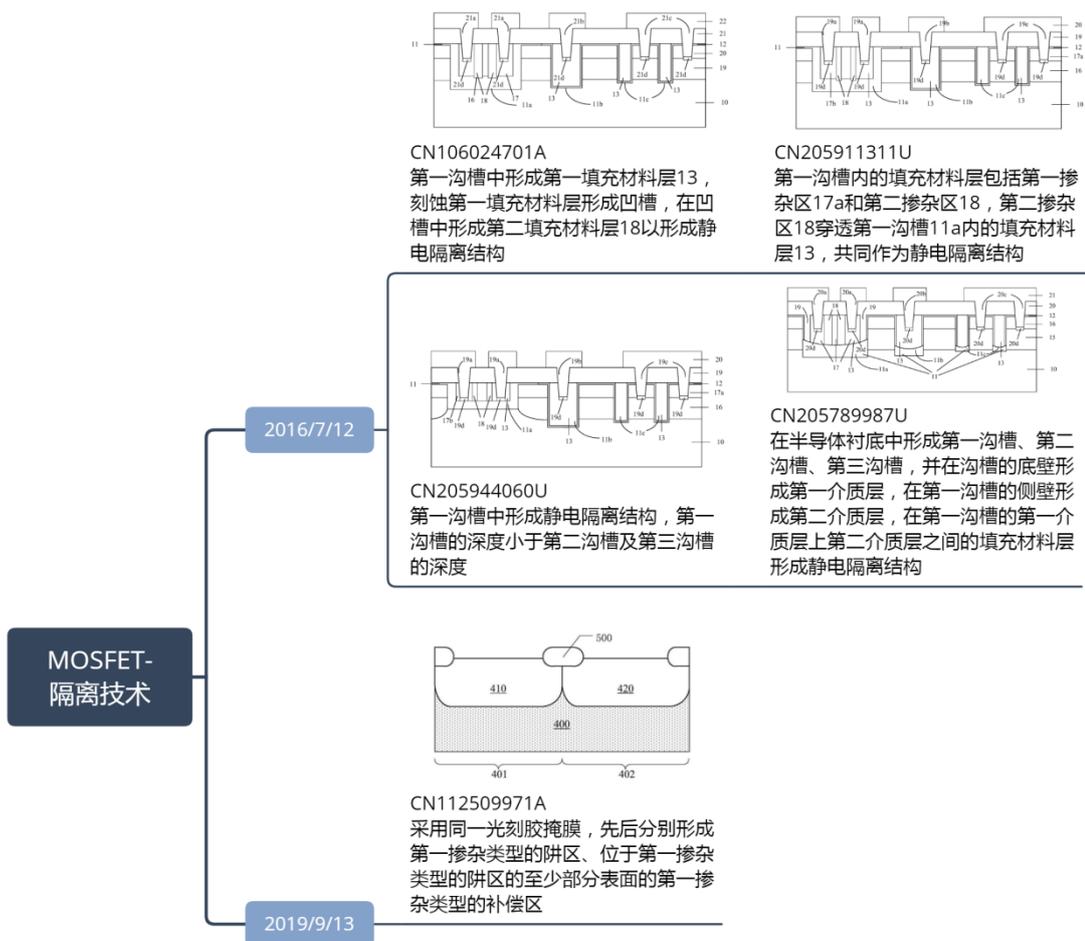
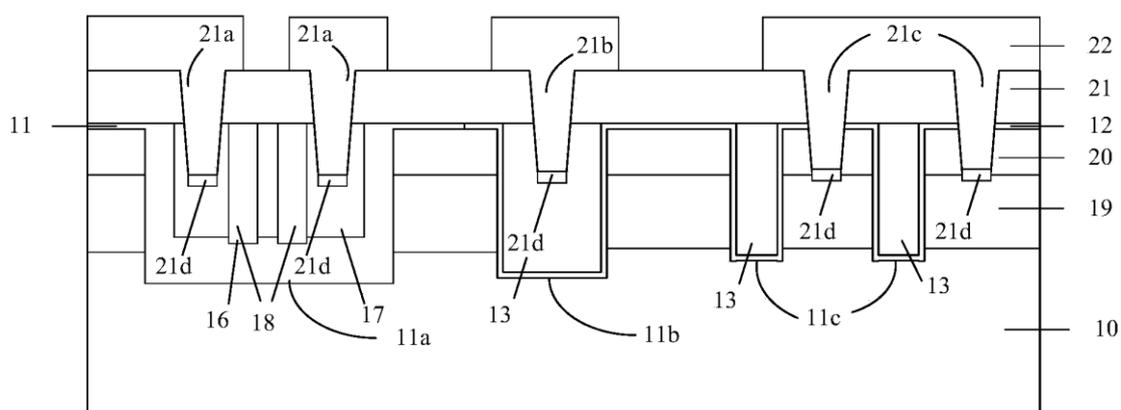


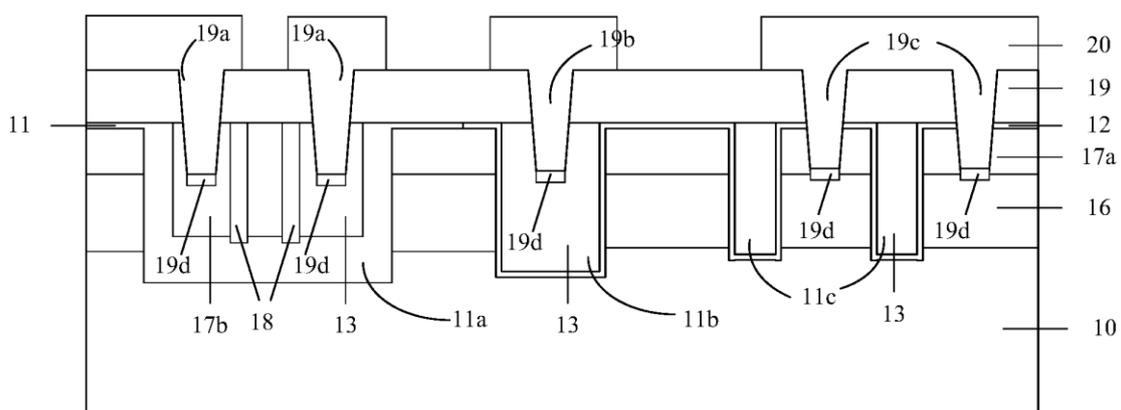
图 3.2-21 MOSFET 隔离技术技术布局情况

2016年7月12日，CN106024701A (CN205863137U) 公开了一种沟槽功率器件及制作方法。本发明提供了一种沟槽功率器件及制作方法，通过**在半导体衬底中形成第一沟槽 11a，并将第一阻止层 11、填充材料层设置于第一沟槽中，形成静电隔离结构，包括第一沟槽中形成第一填充材料层 13，刻蚀第一填充材料层形成凹槽，在凹槽中形成第二填充材料层 18 以形成静电隔离结构。**第一沟槽 11a 所在区域为 ESD 区，第二沟槽 11b 所在区域为栅极引线区，第三沟槽 11c 所在区域为原胞区。在半导体衬底 10 中第一沟槽 11a、第二沟槽 11b 及第三沟槽 11c 两侧形成 P 阱 19，在 P 阱 19 上形成 N 型区 20，本方案静电

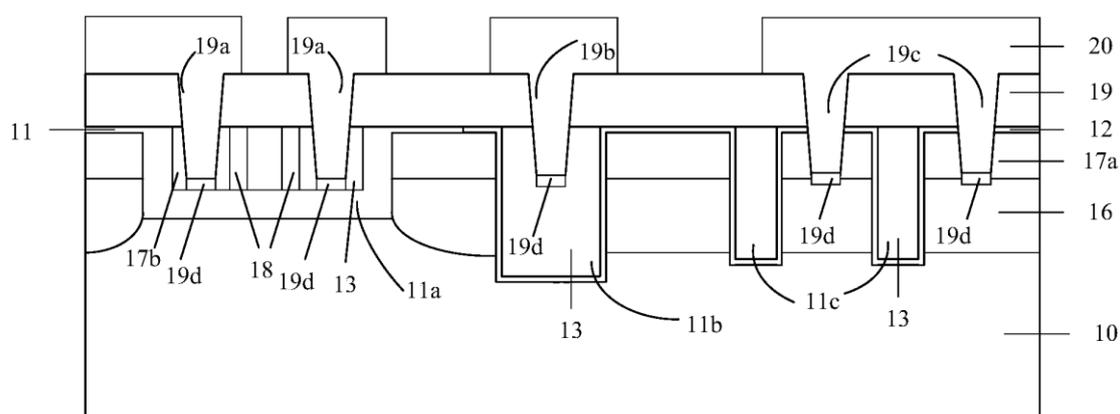
隔离结构设置在半导体衬底中，避免了静电隔离结构高于第二沟槽 11b、第三沟槽 11c 的情况，使得半导体衬底表面平整，有效解决由于传统静电隔离结构的不平坦使后续的沉积工艺台阶覆盖能力不佳，特别是光刻出现匀胶不良，曝光异常，台阶处光刻胶偏薄无法有效作为刻蚀阻挡层等问题，通过使得静电隔离结构由分次沉积的第一填充材料层和第二填充材料层形成，获得了高性能 ESD 能力的静电隔离结构，从而实现器件结构，使参数和可靠性满足产品的要求。



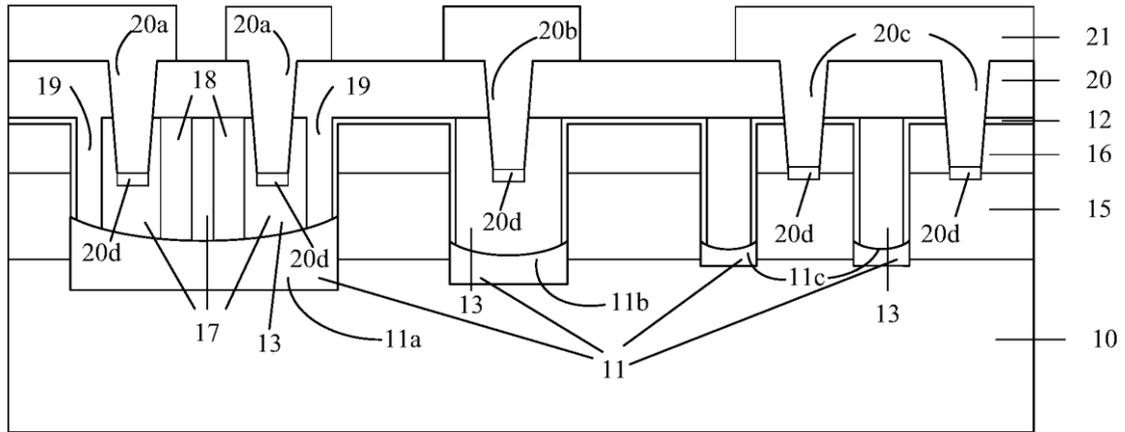
2016 年 7 月 12 日，CN205911311U 进一步提出**第一沟槽内的填充材料层包括第一掺杂区 17a 和第二掺杂区 18，第一掺杂区和第二掺杂区间隔分布，且掺杂类型不同，第二掺杂区 18 穿透第一沟槽 11a 内的填充材料层 13，共同作为静电隔离结构。**CN106024696A 一案双审。能够实现最佳的 ESD 表现能力，充分利用静电隔离结构的面积，减少芯片面积。



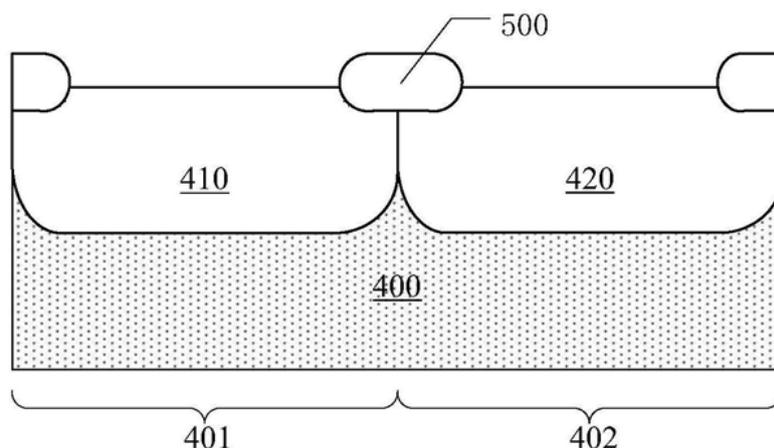
2016年7月12日，CN205944060U (CN106057681A) 中在第一沟槽内11a的填充材料层13中形成第二掺杂区18，第一掺杂区17b和第二掺杂区18间隔分布，且掺杂类型不同，形成静电隔离结构。**进一步提出第一沟槽的深度小于第二沟槽及第三沟槽的深度。**器件的N型区17a和静电隔离结构的第一掺杂区17b的注入剂量相差不大，可以通过设计调整静电隔离结构的第一掺杂区17b的宽度和数量，使N型区17a和静电隔离结构的第一掺杂区17b的注入同时加工，减少光刻、注入加工成本。



2016年7月12日，CN205789987U (CN106024697A) 公开了一种沟槽功率器件，通过**在半导体衬底中形成第一沟槽、第二沟槽、第三沟槽，并在沟槽的底壁形成第一介质层，在第一沟槽的侧壁形成第二介质层，在第一沟槽的第一介质层上第二介质层之间的填充材料层形成静电隔离结构**，进而实现了静电隔离结构设置在半导体衬底中，避免了静电隔离结构高于第二沟槽、第三沟槽的情况，使得半导体衬底表面平整，有效解决由于传统静电隔离结构的不平坦使后续的沉积工艺台阶覆盖能力不佳，特别是光刻出现匀胶不良，曝光异常，台阶处光刻胶偏薄无法有效作为刻蚀阻挡层等问题，从而实现器件结构，使参数和可靠性满足产品的要求。



2019年9月13日, CN112509971A 公开了一种隔离结构制造方法。在衬底上的第一区域和第二区域中形成有源区, 之后采用同一光刻胶掩膜, 分别通过不同注入能量、不同掺杂剂量的掺杂剂注入以先后分别形成第一掺杂类型的阱区、位于第一掺杂类型的阱区的至少部分表面的第一掺杂类型的补偿区, 以使得之后形成在第一阱区表面以及向下延伸的隔离结构与补偿区接触, 避免隔离结构的形成将第一掺杂类型的阱区的掺杂变淡, 在不影响半导体器件性能的基础上, 无需附加的掩膜和光刻步骤在第一阱区的至少部分表面形成补偿区, 增强了隔离结构的隔离效果。



终端结构

在 MOSFET 器件中, 在 2011-2012 年, 布局在终端结构上的专利主要在

于：提出干法和湿法刻蚀结合形成功率器件终端环；提出源区结终端扩展技术和漏区结终端扩展技术一起组合使用；在 2016 年，提出在功率器件的元胞区和环区分别形成第一电荷补偿结构和第二电荷补偿结构；在 2021 年，提出接触场板位于刻蚀阻挡区上，阻挡层是多层介质层。

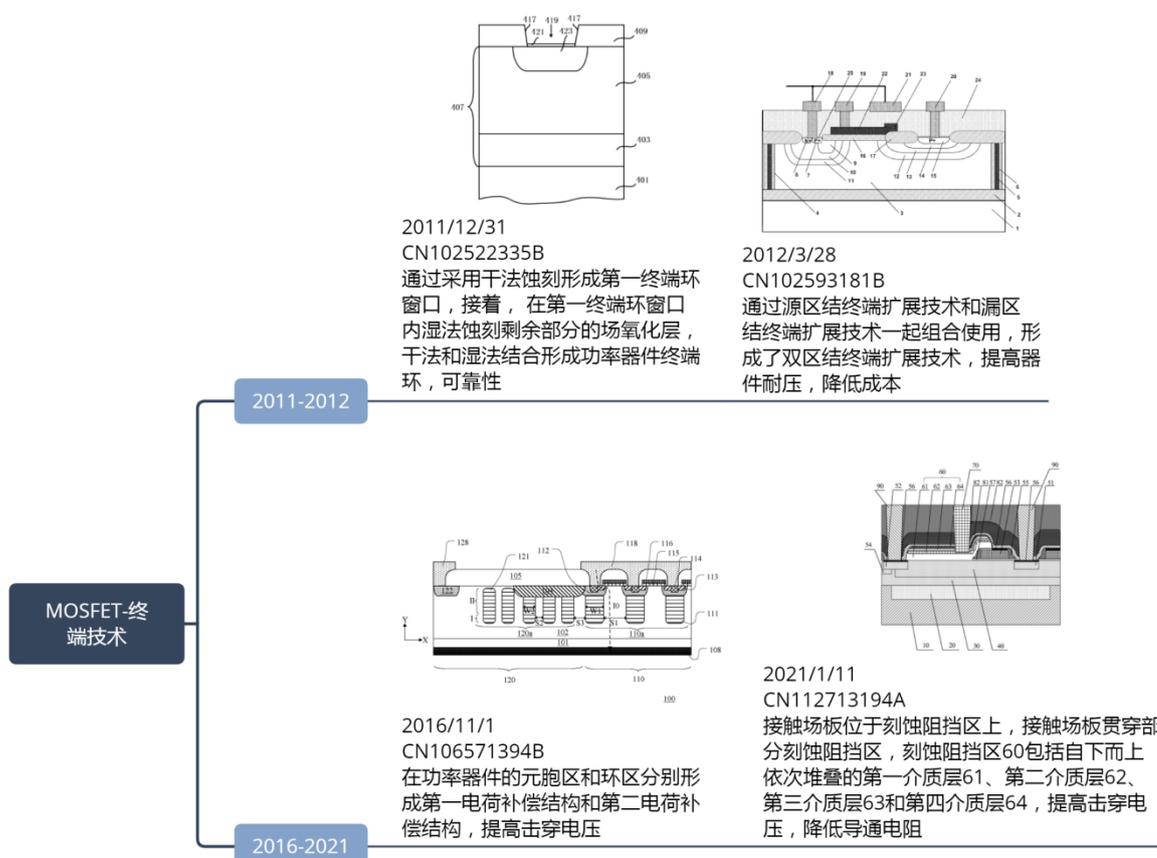
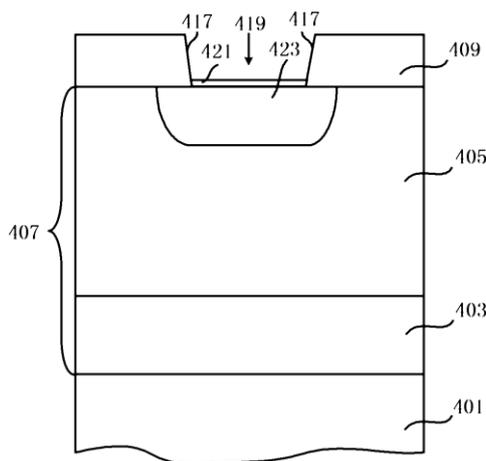


图 3.2-22 MOSFET 终端技术布局情况

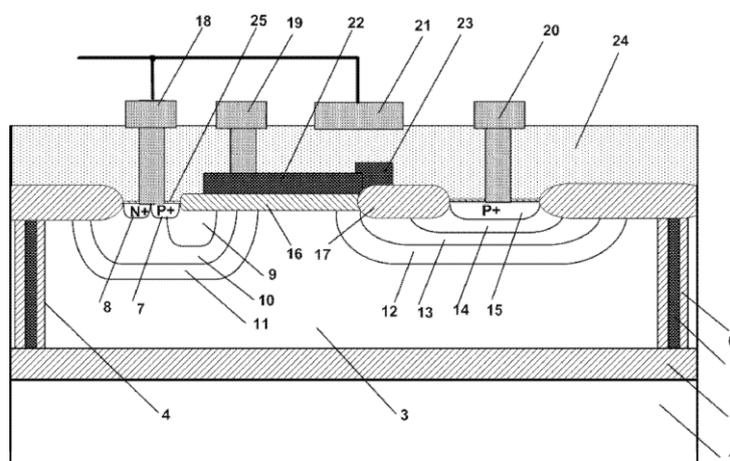
2011 年 12 月 31 日，CN102522335B 公开了一种功率器件终端环的制造方法，包括如下步骤：在半导体衬底上由下至上依次形成功率器件的硅衬底和场氧化层；通过光刻工艺在场氧化层上的掩膜层中形成终端环光刻窗口；在终端环光刻窗口内干法蚀刻部分厚度的场氧化层，形成第一终端环窗口；在第一终端环窗口内湿法蚀刻场氧化层，形成第二终端环窗口；去除掩膜层，在第二终端环窗

口内进行硼离子注入后再进行退火工艺，在功率器件的硅衬底中形成终端环。通过采用干法蚀刻与湿法蚀刻相结合技术形成的功率器件终端环，在场氧化层上先采取干法反应离子蚀刻或等离子蚀刻方法，由于干法反应离子蚀刻或等离子蚀刻方法是各向异性蚀刻，因此先垂直蚀刻部分厚度的场氧化层，形成第一终端环窗口，接着，在第一终端环窗口内湿法蚀刻剩余部分的场氧化层，减少了湿法蚀刻场氧化层的厚度，从而减少了对场氧化层的横向腐蚀量，最终减少了终端环窗口尺寸和形貌的波动，降低了传统制造工艺只用湿法蚀刻或干法蚀刻场氧化层形成终端环的不稳定性，提高产品的可靠性，具有很强的工艺鲁棒性，适合大批量生产。



2012年3月28日，CN102593181B公开一种基于SOI衬底的高压金属氧化物半导体管及其制造方法，漏区结构由漏区第一类型阱13、漏区第一类型缓冲区14和漏区第一类型浓注入区15三者形成了漏区结终端扩展技术，其中漏区第一类型缓冲区用来折衷器件的耐压和工作电流。源区结构由源区第二类型浓注入区8、源区第二类型缓冲区10和源区第二类型阱11组成，源区第二类型浓注入区8、源区第二类型缓冲区10、源区第二类型阱11和顶部硅层3这四者形成了源区结终端扩展技术，其中源区第二类型阱用来提高器件耐压，也能用

于调节器件的阈值电压，具有双层作用。**通过源区结终端扩展技术和漏区结终端扩展技术一起组合使用，形成了双区结终端扩展技术**，比常规单区结终端扩展技术能进一步提高器件耐压，从而减小器件尺寸，缩小版图面积，提升芯片的集成度。



2016年11月1日，CN106571394B (US10937859B2) 公开了一种功率器件及其制造方法，在元胞区110中，在第一掺杂区102中形成掺杂类型为P型的多个第二掺杂区111。第一掺杂区102与多个第二掺杂区111的掺杂类型相反，多个第二掺杂区111交替分布于第一掺杂区102中，形成第一电荷补偿结构110a。在环区120中，在第一掺杂区102中形成掺杂类型为P型的多个第三掺杂区121。第一掺杂区102与多个第三掺杂区121的掺杂类型相反，多个第三掺杂区121交替分布于第一掺杂区102中，形成第二电荷补偿结构120a。本方案**在功率器件的元胞区和环区分别形成第一电荷补偿结构和第二电荷补偿结构**。由于可以采用相同的工艺同时形成第一电荷补偿结构和第二电荷补偿结构，因此，该实施例的功率器件没有增加工艺复杂度和成本。在元胞区中，由于第一电荷补偿结构包括彼此相邻的P型掺杂区和N型掺杂区，二者的电荷可以相互耗尽，因此可以显著减小功率器件的导通电阻和降低功耗。在环区中，由于第二

3.2.7.2 IGBT 技术

在 IGBT 器件中,场截止层和沟槽栅是布局的重点,在 2012-2013 年布局重点在场截止层上,提出了场截止缓冲层包括 N 型衬底和形成在 N 型衬底中的 P 型埋层,或者保留部分半导体衬底和第一外延层共同作为场截止区等;在 2015 年-2017 年,以沟槽栅的布局为主,提出了第二沟槽栅结构、第三沟槽栅结构以及类发射区与第一沟槽栅结构电性连接的结构,以及复合型栅极结构,分离栅结构等。近几年,提出了对半导体衬底的第二表面进行激光处理,减小随后形成的缓冲区中的含氧量;还采用了至少一个缓冲区包围至少一个快速恢复二极管区。

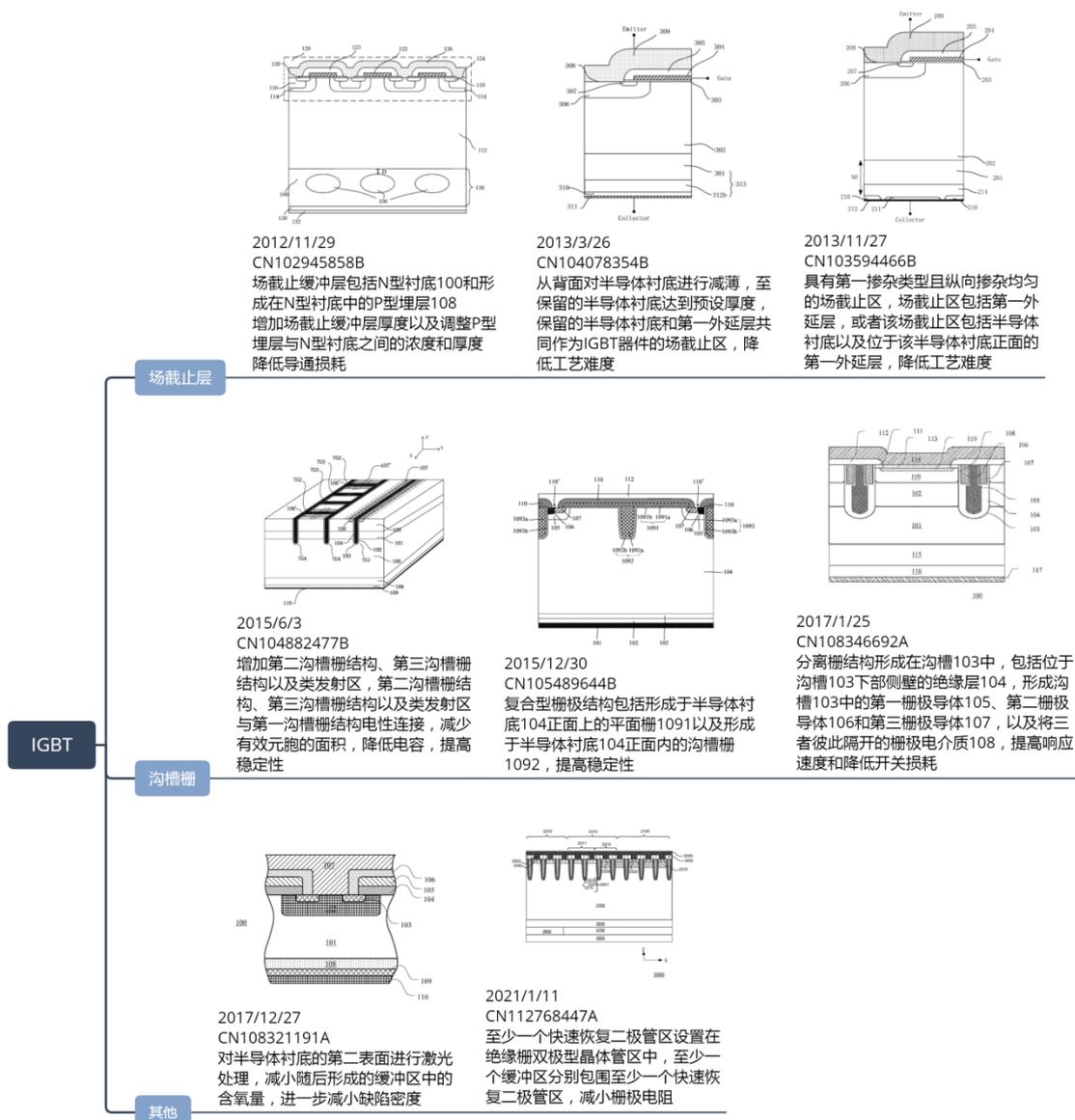
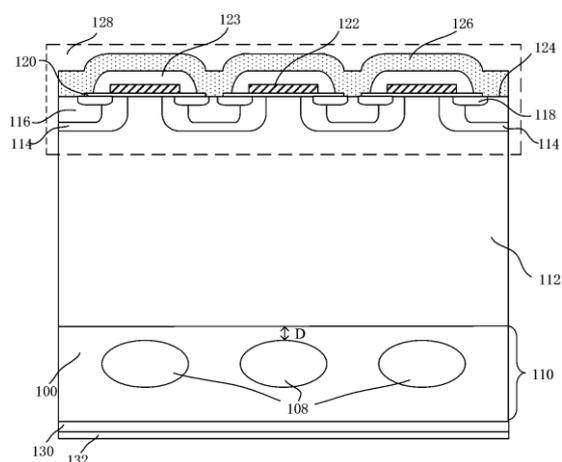


图 3.2-23 IGBT 技术布局情况

(1) 场截止层

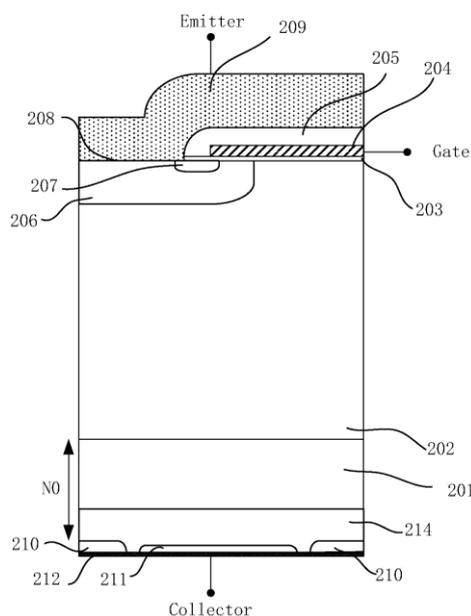
2012年11月29日, CN102945858B (CN202917494U) 公开了具有场截止缓冲层的 IGBT 器件及制造方法, 包括: 场截止缓冲层, 场截止缓冲层包括 N 型衬底 100 和形成在 N 型衬底中的 P 型埋层 108; N-外延层 112, 形成在 N 型衬底表面上; IGBT 正面结构 128, 形成在 N-外延层表面上; 阳极空穴发射区 130, 形成在远离 N-外延层的 N 型衬底的背面上; 以及背面阳极集电极 132,

形成在阳极空穴发射区上。通过**增加场截止缓冲层厚度以及调整 P 型埋层与 N 型衬底之间的浓度和厚度**，以提高 IGBT 器件的电流密度，降低导通损耗。



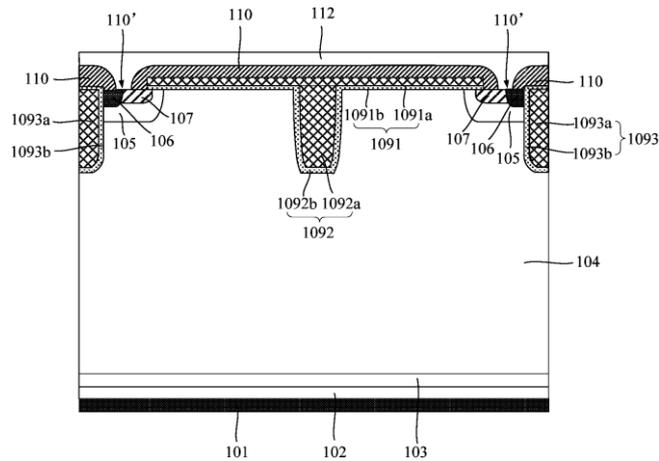
2013 年 3 月 26 日，CN104078354B (CN203288595U) 公开了一种功率半导体器件及其制造方法，该方法包括：提供 N 型掺杂的半导体衬底，其晶向为<100>；在半导体衬底的正面生长纵向掺杂均匀的第一外延层，其掺杂类型和掺杂浓度与半导体衬底相同；在第一外延层上生长第二外延层，其掺杂类型与第一外延层相同，掺杂浓度低于第一外延层；在第二外延层上形成 IGBT 器件的基区、发射区、栅介质层和栅极结构；**从背面对半导体衬底进行减薄，至保留的半导体衬底达到预设厚度，保留的半导体衬底和第一外延层共同作为 IGBT 器件的场截止区**；从背面对所述场截止区进行离子注入，以在其中形成 P 型掺杂的集电区。本发明有利于降低 IGBT 器件的场截止区的制造难度，并能够避免碎片率高等问题。

还有 CN103594467B 采用半导体衬底作为 IGBT 器件的场截止区，场截止区是纵向掺杂均匀的。

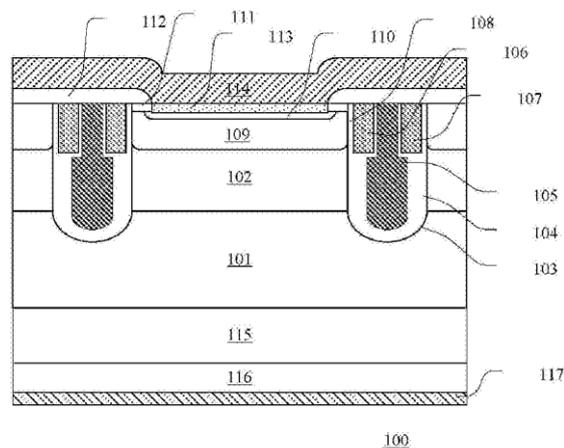


(2) 沟槽栅

2015 年 6 月 3 日，CN104882477B (CN204668312U) 公开了一种沟槽栅型 IGBT 器件及其制造方法，沟槽栅型 IGBT 器件主要包括：漂移区 100、缓冲区 108、集电区 109、集电极 110、JFET 掺杂区 101、基区 105、发射区 106、类发射区 106'、第一沟槽栅结构 TG1、第二沟槽栅结构 TG2、第三沟槽栅结构 TG3、第四沟槽栅结构 TG4、介质层 111 以及发射极电极 112。相比于传统的沟槽型 IGBT 器件，增加了第二沟槽栅结构、第三沟槽栅结构以及类发射区，类发射区位于第二沟槽栅结构的一侧或两侧，第二沟槽栅结构、第三沟槽栅结构以及类发射区与第一沟槽栅结构电性连接，从而减少了有效元胞的面积，减少了与外部栅极驱动相连的栅极数量，从而有效地降低了输入电容。相邻的第三沟槽栅结构之间的区域形成了电压浮置的待用伪元胞结构，该电压浮置的待用伪元胞结构在 IGBT 器件导通时提供载流子注入增强效应，该载流子增强效应可以提高



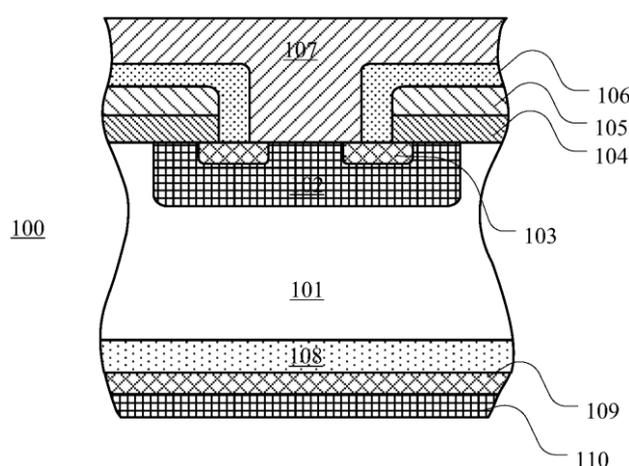
2017年1月25日, CN108346692A (CN206422071U) 公开了一种功率半导体器件及其制造方法。功率半导体器件 100 包括依次堆叠的 N 型漂移区 101、N 型缓冲区 102 和 P 型阱区 109。N 型缓冲区 102 的掺杂浓度高于 N 型漂移区的掺杂浓度。沟槽 103 从 P 型阱区 109 的表面经由 N 型缓冲区 102 延伸至 N 型漂移区 101 中达到预定的深度。分离栅结构形成在沟槽 103 中, 包括位于沟槽 103 下部侧壁的绝缘层 104, 形成沟槽 103 中的第一栅极导体 105、第二栅极导体 106 和第三栅极导体 107, 以及将三者彼此隔开的栅极电介质 108。该功率半导体器件采用分离栅结构以提高响应速度和降低开关损耗。



(3) 其他

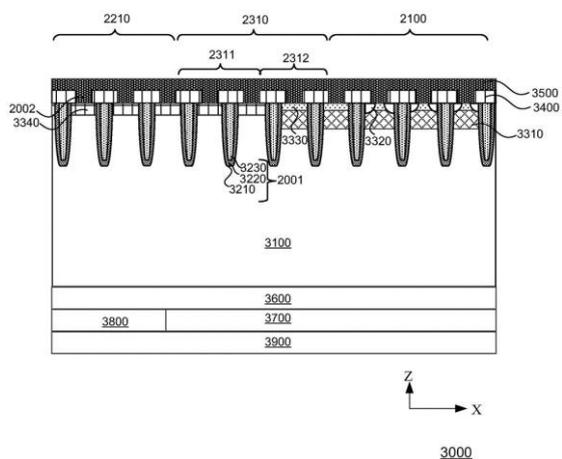
2017年12月27日, CN108321191A (CN207781616U) 公开了功率半

导体器件及其制造方法。所述方法包括：在半导体衬底的第一表面形成正面结构，正面结构包括阱区和发射区，发射区位于所述阱区中；从半导体衬底的第二表面对半导体衬底进行减薄；**对半导体衬底的第二表面进行激光处理**；以及在半导体衬底的第二表面形成缓冲区和集电区，集电区从所述第二表面延伸至与所述缓冲区邻接。该方法在形成缓冲区之前，对半导体衬底的第二表面进行激光处理，**从而减小随后形成的缓冲区中的含氧量，进一步减小缺陷密度**，从而提高击穿电压和减小漏电流，以及降低器件成本。



2021年1月11日, CN112768447A 公开了一种逆导型绝缘栅双极型晶体管及其制造方法, 逆导型绝缘栅双极型晶体管 2000 包括: 绝缘栅双极型晶体管区 2100 和至少一个快速恢复二极管区 (2210、2220、2230、2240), **至少一个快速恢复二极管区设置在绝缘栅双极型晶体管区中, 绝缘栅双极型晶体管区包围至少一个快速恢复二极管区**;至少一个缓冲区(2310、2320、2330、2340), **至少一个缓冲区与至少一个快速恢复二极管区对应设置, 分别位于至少一个快速恢复二极管区和绝缘栅双极型晶体管区之间, 至少一个缓冲区分别包围至少一个快速恢复二极管区**。该逆导型绝缘栅双极型晶体管减少了快速恢复二极管区对相邻绝缘栅双极型晶体管区的动态参数的影响, 减小了栅极电阻, 降低了器件的开

关损耗，提高了器件的可靠性。



3.2.7.3 模块/电路技术

模块/电路技术中，专利技术主要集中在近几年，布局重点在于框架、引线及芯片安装的设计，例如，增加了第一辅助模块、第二辅助模块连接栅极驱动芯片和晶体管的引线；对封装结构的管脚进行设计；增加了电流测量模块；采用具有台阶状接触面的引脚；对基岛布局和外引脚布局进行设计等。

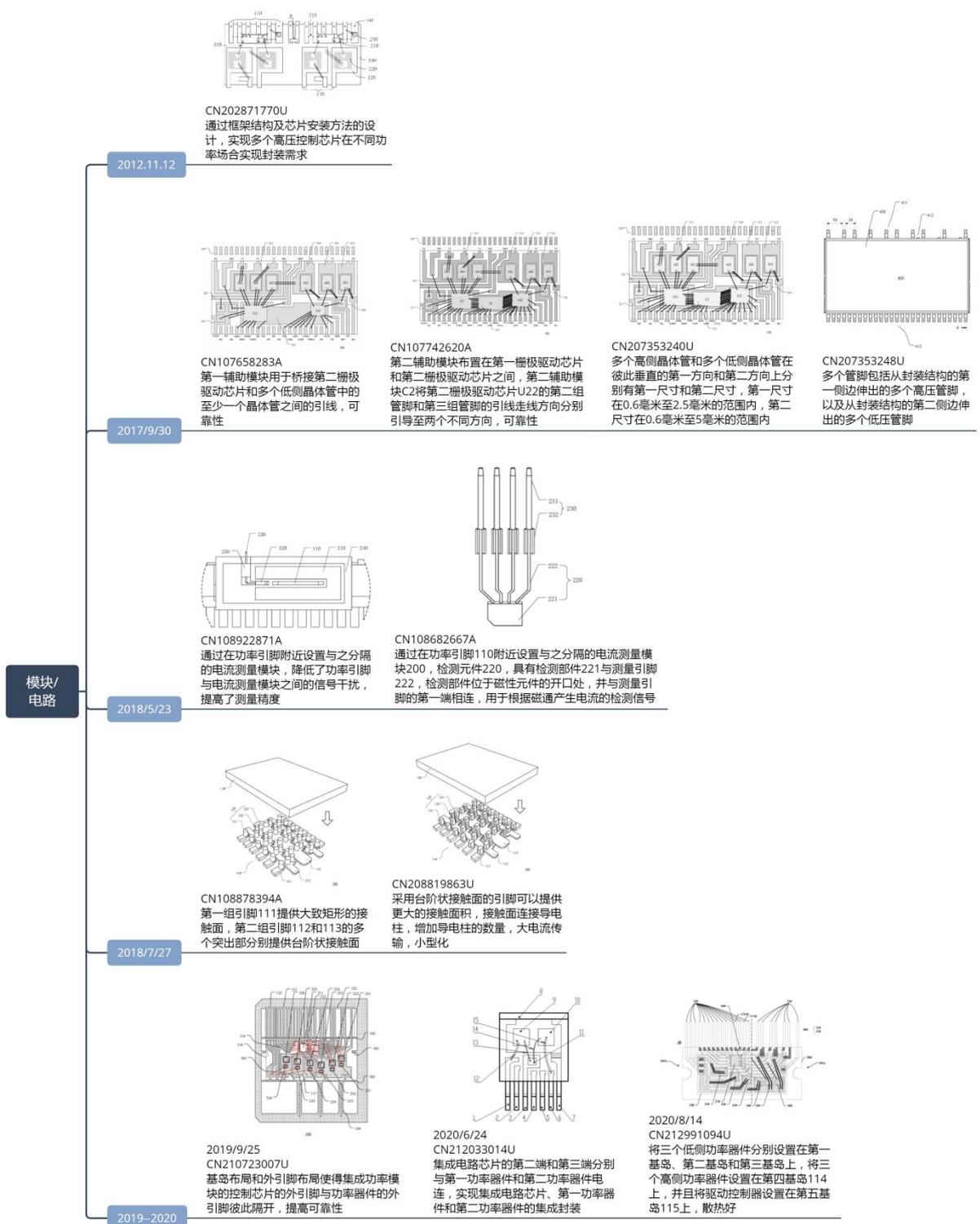
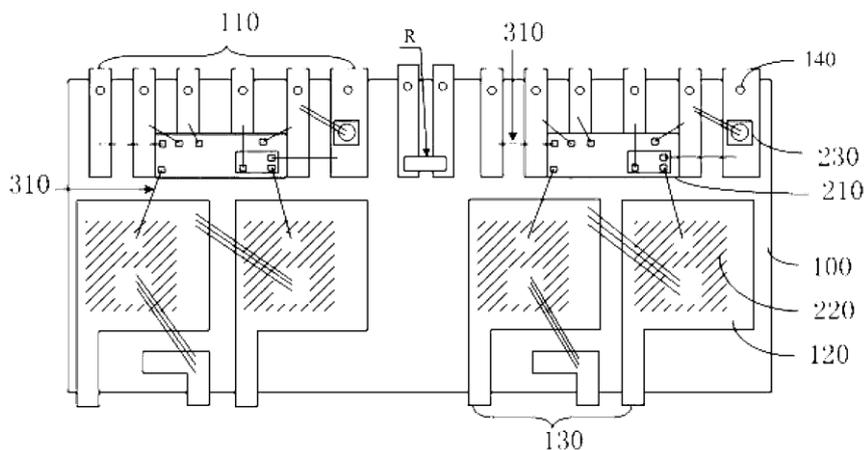


图 3.2-24 模块/电路技术布局情况

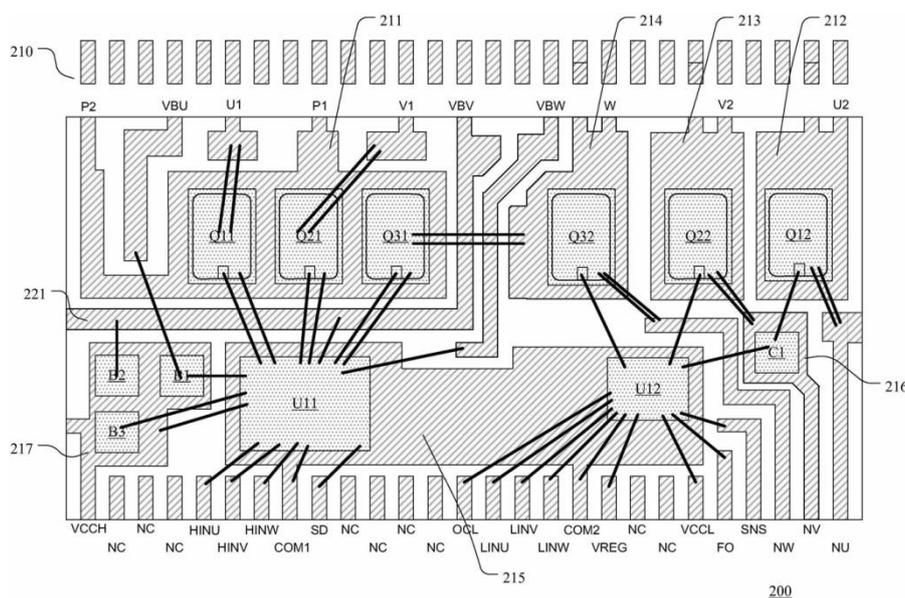
2012年11月12日，CN202871770U (CN102931104A) 公开了一种紧凑型智能功率驱动模块，包括：框架 100；多组驱动信号引线模块 110，形成在

所述框架 100 的一内侧；多个载片台 120，形成在所述框架 100 的另一内侧，与所述多组驱动信号引线模块 110 相对设置；多组功能信号引线模块 130，分别由相邻的两个所述载片台 120 为一组弯曲后形成在所述框架 100 上；绝缘层 300，设置在每组驱动信号引线模块 110 上；高压控制芯片 210，设置在每个所述绝缘层 300 上，每个所述高压控制芯片 210 分别相应地靠近一组所述载片台 120；MOSFET 管 220，设置在每个所述载片台 120 上；以及金属线 310，将所述高压控制芯片 210、MOSFET 管 220 与框架 110 电连接，**通过框架结构及芯片安装方法的设计，实现多个高压控制芯片在不同功率场合实现封装需求**，以形成可以在更广泛的电流、电压及紧凑场合领域得到应用的单相智能功率驱动模块和三相智能功率驱动模块。



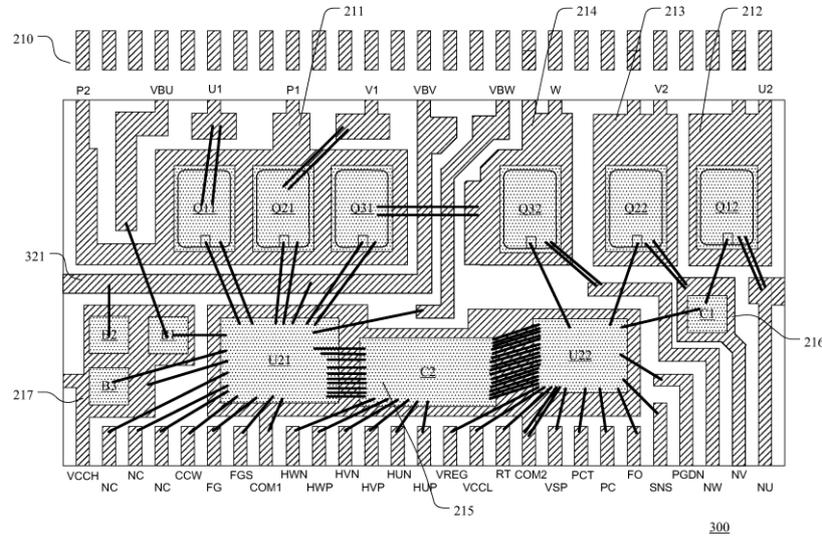
2017 年 9 月 30 日，CN107658283A (CN207353235U) 公开了一种用于电机驱动的集成功率模块和智能功率模块。该集成功率模块 200 包括：引线框架 210，引线框架具有多个管芯垫和多个管脚；以及固定在多个管芯垫上的多个高侧晶体管 and 多个低侧晶体管、第一栅极驱动芯片 U11、第二栅极驱动芯片 U12 和第一辅助模块 C1；其中，第一栅极驱动芯片用于为多个高侧晶体管提供栅极驱动信号，第二栅极驱动芯片用于为多个低侧晶体管提供栅极驱动信号，第

一辅助模块用于桥接第二栅极驱动芯片和多个低侧晶体管中的至少一个晶体管之间的引线。该集成功率模块采用辅助模块改善模块内的芯片布局和走线，从而可以提高集成功率模块的可靠性，提升生产良率和效率。

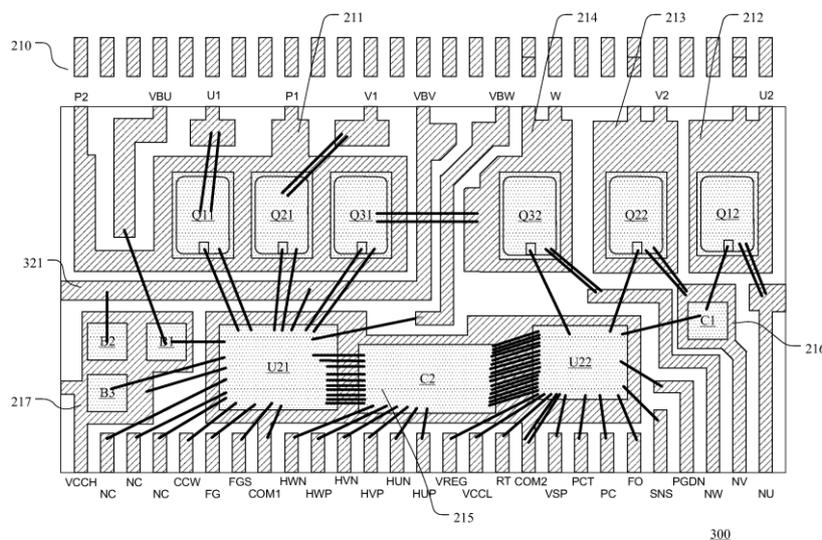


2017年9月30日，CN107742620A (CN207425843U) 公开了一种用于电机驱动的集成功率模块和智能功率模块，该集成功率模块 300 包括第一和第二栅极驱动芯片 U21、U22、第一辅助模块 C1、第二辅助模块 C2、以及第一至第三高侧晶体管 Q11、Q21 和 Q31、第一至第三低侧晶体管 Q12、Q22 和 Q32。第二辅助模块布置在第一栅极驱动芯片和第二栅极驱动芯片之间，第二辅助模块 C2 将第二栅极驱动芯片 U22 的第二组管脚和第三组管脚的引线走线方向分别引导至两个不同方向，即从第二辅助模块 C2 的一个侧边分别引导至两个不同的侧边。第二辅助模块 C2 可以避免第三组引线与第四组引线之间的交叉，并且减小了引线的长度，从而提高了功率封装模块 300 的可靠性。进一步地，第二辅助模块 C2 将第二栅极驱动芯片 U22 的霍尔输入管脚集中在集成功率模块 300 的邻近第二辅助模块 C2 的一侧中间位置，从而改善了芯片布局，实现了

同一个引线框兼容两种或更多种芯片布局方式，因而该集成方案的引线框具有兼容性和可扩展性。

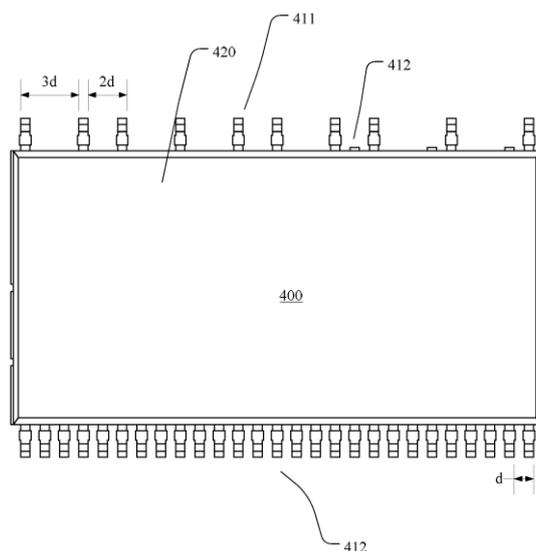


2017年9月30日，CN207353240U公开了一种用于电机驱动的成功功率模块和智能功率模块，其中，多个高侧晶体管或多个低侧晶体管在彼此垂直的第一方向和第二方向上分别有第一尺寸和第二尺寸，第一尺寸在0.6毫米至2.5毫米的范围内，第二尺寸在0.6毫米至5毫米的范围内。该成功功率模块改进了高侧晶体管和低侧晶体管的布局方式，从而可以增加功率面积。



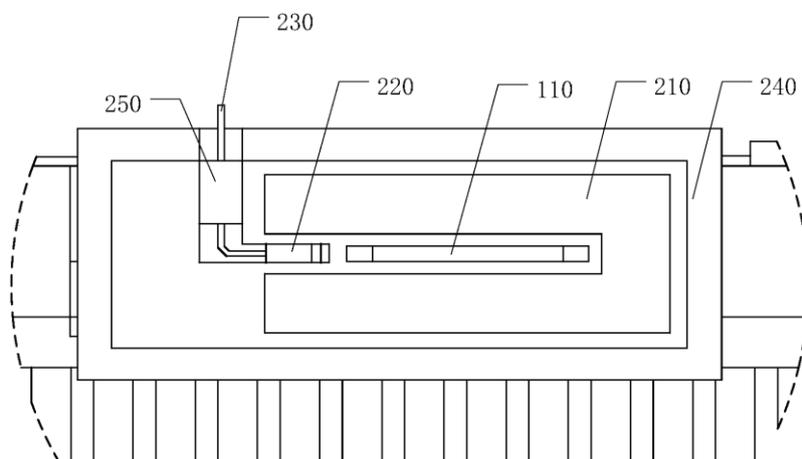
2017年9月30日，CN207353248U公开了一种用于电机驱动的封装结

构。该封装结构包括：集成功率模块；以及用于包封集成功率模块的封装料，其中，集成功率模块，包括：引线框架，引线框架具有多个管芯垫和多个管脚；以及固定在多个管芯垫上的多个高侧晶体管和多个低侧晶体管、第一栅极驱动芯片和第二栅极驱动芯片；第一栅极驱动芯片用于为多个高侧晶体管提供栅极驱动信号，第二栅极驱动芯片用于为多个低侧晶体管提供栅极驱动信号，**多个管脚包括从封装结构的第一侧边伸出的多个高压管脚，以及从封装结构的第二侧边伸出的多个低压管脚。**该封装结构将高压管脚和低压管脚布置在不同的侧边上，从而可以设置不同的管脚间距以及避免布线的相互影响，提供可靠性。

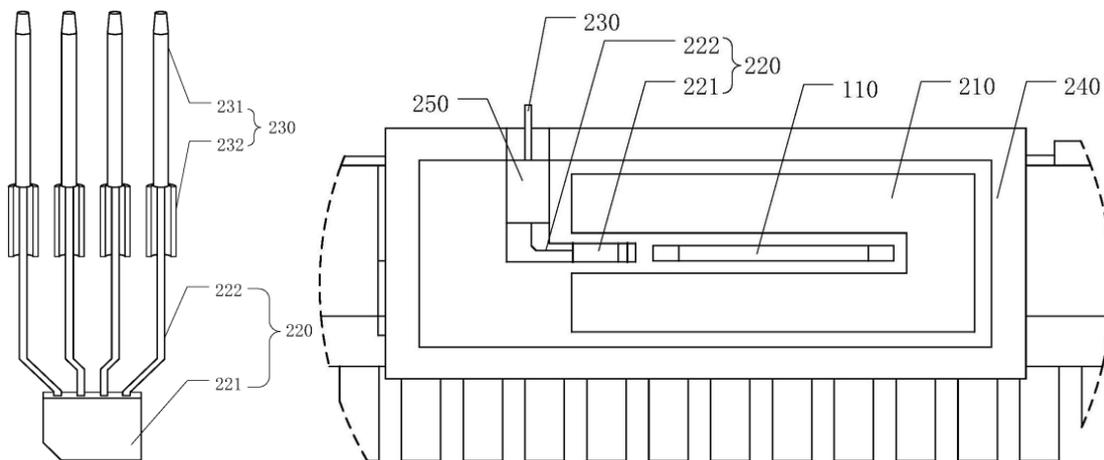


2018年5月23日，CN108922871A (CN208422906U) 公开了一种半导体封装结构，该半导体封装结构包括：功率模块，功率模块具有从封装体表面伸出的功率引脚 110；以及电流测量模块 200，位于功率引脚附近且与功率引脚隔开，电流测量模块用于检测流过功率引脚的电流，其中，电流测量模块包括：磁性元件 211，其为具有开口 211 与中间区域 212 的半包围结构，磁性元件 210 围绕功率引脚 110，用于聚集在功率引脚周围由电流产生的磁通；以及检测元件 220，位于磁性元件的开口处，用于根据磁通产生电流的检测信号。该半导体封

装结构**通过在功率引脚附近设置与之分隔的电流测量模块**,保证了半导体封装结构的使用安全, **降低了功率引脚与电流测量模块之间的信号干扰**,提高了测量精度, 达到了精确测量功率模块的信号的目的。



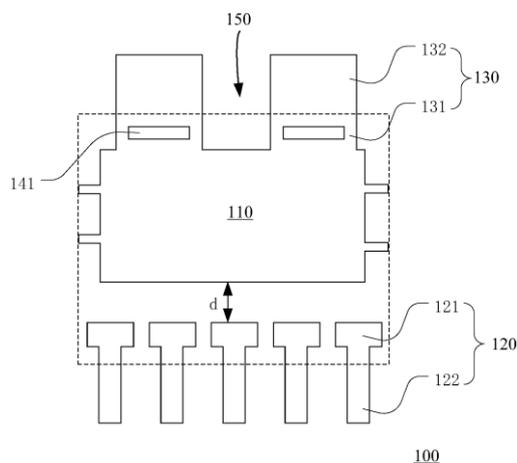
2018年5月23日, CN108682667A (CN208422905U) 公开了一种半导体封装结构, 进一步地, **检测元件 220, 具有检测部件 221 与测量引脚 222, 检测部件位于磁性元件的开口处, 并与测量引脚的第一端相连, 用于根据磁通产生电流的检测信号; 以及管脚部件 230, 管脚部件的第一端 231 用于外部电连接, 第二端 232 与测量引脚的第二端固定连接。通过在功率引脚 110 附近设置与之分隔的电流测量模块 200, 保证了半导体封装结构的使用安全, 降低了功率引脚与电流测量模块之间的信号干扰, 提高了测量精度。**



2018年7月3日, CN208422901U 公开了一种功率封装结构及其引线框。

功率封装结构包括至少一个芯片、引线框 100 以及塑封体 10。引线框 100 包括：基岛 110、多个第一引脚 120 以及第二引脚 130。基岛 110 的第一表面用于承载芯片，并与芯片电连接。**多个第一引脚 120 位于基岛 110 的一侧，并与基岛 110 分离**，每个第一引脚的第一端 121 位于塑封体 10 的内部，并与芯片键合，实现与芯片的电连接。**第二引脚 130 与多个第一引脚 120 相对设置，位于基岛 110 的另一侧**，第二引脚的第一端 131 与基岛 110 相连，并与外部电路相连。

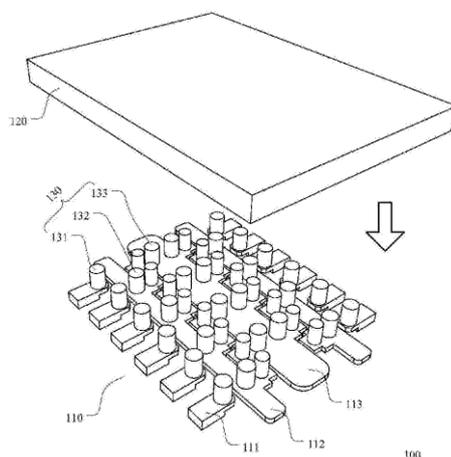
本方案的功率封装结构，第一引脚与基岛分离，留有足够的安规间距，避免了高压击穿的风险，同时减小了漏电流。



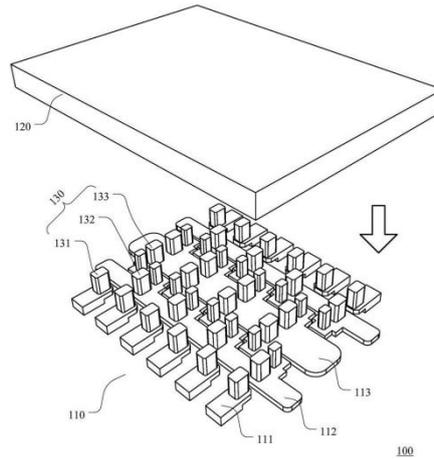
2018年7月27日, CN108878394A (CN208819870U) 公开了一种功率封装结构及其引线框。功率封装结构 100 包括引线框 110、位于引线框 110 上方的芯片 120、以及将芯片 120 的焊垫与引线框 110 电连接的导电柱 130。

引线框 110 包括第一组引脚 111, 以及第二组引脚 112 和 113。**第一组引脚 111 提供大致矩形的接触面，第二组引脚 112 和 113 的多个突出部分别提供台阶状接触面**。第二组引脚分别包括导电条和在导电条的至少一个侧边延伸的多个突出部，其中，多个突出部的宽度方向与导电条的侧边平行，并且，多个突出部的宽

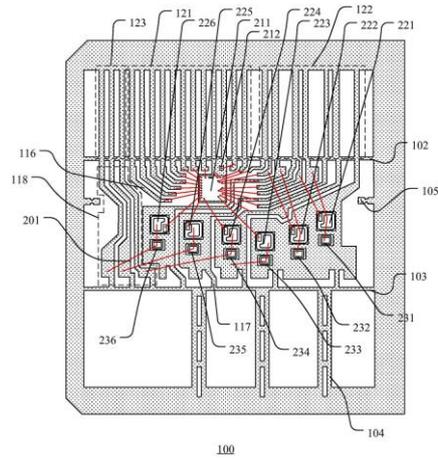
度随着与导电条的侧边之间的距离而变化。该功率封装结构中的引线框采用引脚的突出部提供与一组导电柱 130 电连接的接触面，以提高电流承载能力和减小产品尺寸。



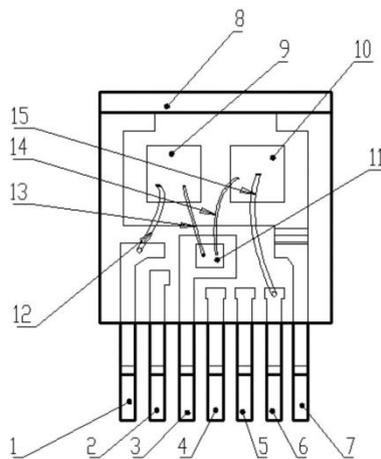
2018 年 7 月 27 日，CN208819863U 公开了一种功率封装结构，功率封装结构 100 包括引线框 110、位于引线框 110 上方的芯片 120、以及将芯片 120 的焊垫与引线框 110 电连接的导电柱 130，其中，引线框 110 包括第一组引脚 111，以及第二组引脚 112 和 113，引线框的第一组引脚提供大致矩形的接触面，第二组引脚的多个突出部分别提供台阶状的接触面。突出部的宽度随着与所述导电条的侧边之间的距离而变化。进一步地，**在接触面上可以连接多个导电柱。**与采用矩形接触面的引脚相比，**采用台阶状接触面的引脚可以提供更大的接触面积。****该接触面允许连接一组导电柱，从而增加了导电柱的数量。**因此，根据该实施例的功率封装结构使用的引线框可以提高电流承载能力和减小产品尺寸。



2019年9月25日，CN210723007U公开了一种用于集成功率模块的引线框架。该引线框架100包括：多个基岛111至115、分布于多个基岛周围的多个内引脚（116、117、118）、互连引线118、以及位于引线框架的第一侧的第一组外引脚121、第二组外引脚122和第三组外引脚123；安装在多个基岛上的控制芯片和多个功率器件，控制芯片与第一组外引脚电连接，多个功率器件与第二组外引脚和第三组外引脚电连接；封装时塑封体覆盖控制芯片211和多个功率器件，并且暴露第一组外引脚、第二组外引脚和第三组外引脚。第一组外引脚121和第三组外引脚123为低压引脚，第二组外引脚122为高压引脚，并且第一组外引脚121为信号传输端，第三组外引脚123为三相直流负端。其中的基岛布局和外引脚布局使得集成功率模块的控制芯片的外引脚与功率器件的外引脚彼此隔开，从而提高采用引线框架的封装结构的可靠性，并且，功率器件的三相直流负端外引脚彼此隔开，使得在电路实际应用过程中，可以独立采样三相负端电流。

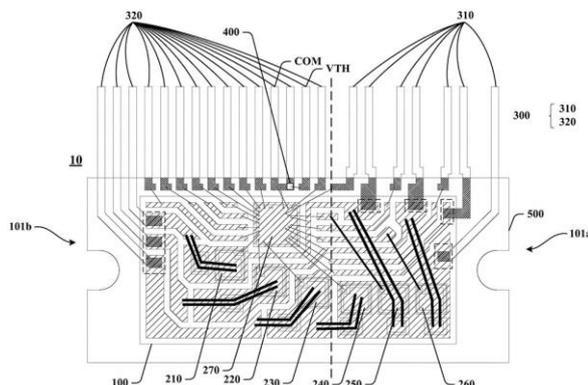


2020年6月24日，CN212033014U公开了一种封装结构，封装结构包括：载片、集成电路芯片11、多个引脚，在载片表面设置了第一功率器件9和第二功率器件10，在第三引脚3的芯片设置区设置了一个集成电路芯片11，**集成电路芯片的第二端和第三端分别与第一功率器件和第二功率器件电连接**，集成电路芯片的第一端通过第三引脚引出，第一功率器件的第二端以及第二功率器件的第二端分别通过第一引脚1和第六引脚6引出，第一功率器件和第二功率器件的第一端通过第七引脚7引出，**实现了集成电路芯片、第一功率器件和第二功率器件的集成封装**，提高了封装结构的集成度，解决了传统大功率电源系统采用分立器件而造成的外围器件多、结构复杂和系统成本高的问题。



2020年8月14日，CN212991094U公开了一种功率模块的封装结构，

功率模块的封装结构 10 包括直接铜键合 DCB 衬底 100，直接铜键合 DCB 衬底 100 具有第一侧边 101 且包括多个基岛。分别设置在多个基岛上的多个功率器件以及靠近第一侧边 101 的多个引脚 300。其中，至少部分多个引脚 300 焊接在直接铜键合 DCB 衬底 100 上。直接铜键合 DCB 衬底 100 包括铜层(图中阴影部分)，铜层包括第一基岛 111、第二基岛 112 以及第三基岛 113，**通过将三个低侧功率器件分别设置在第一基岛、第二基岛和第三基岛上，将三个高侧功率器件设置在第四基岛 114 上，并且将驱动控制器设置在第五基岛 115 上**，使得该功率模块具有了较高的功率等级，体积较小且具有良好的散热能力。



3.2.8 小结

综上所述，士兰微的专利布局呈现如下特点：

宏观布局上：士兰微的专利申请始于 2008 年，出现两次申请高峰，近三年专利申请呈增长态势。士兰微的专利主要布局在中国，此外还在美国、中国台湾、日本布局有少量专利。MOSFET 技术是除了本土之外，重点布局的技术。士兰微的专利以发明专利为主，发明专利占比为 57%，实用新型专利占比 43%。士兰微的有效专利（授权专利）占比达到 59%，失效专利中主要是由于避重放弃导致的失效。

技术分支上:士兰微在 MOSFET 技术上专利占比最大,为 45%,其次是 IGBT、二极管、模块/电路技术,而双极晶体管、封装、检测及其他技术专利占比较少。在 MOSFET 技术上,栅极区域的改进是士兰微研究的重点;在 IGBT 技术上,场截止层、沟槽栅技术是士兰微研究的重点。从申请趋势来看, MOSFET、模块/电路技术是士兰微近三年研究的热点。

技术功效上:可靠性、提高击穿电压、降低成本、小型化是士兰微关注的重点,布局专利较多。在 MOSFET 技术上,关注的重点是可靠性、提高击穿电压、降低导通电阻;在 IGBT 技术上,关注的重点是降低导通压降、降低成本、可靠性、提高击穿电压;在二极管技术上,关注的重点是可靠性、均匀性、降低电容、小型化;在模块/电路技术上,关注的重点是可靠性、小型化。从时间维度来看,在 MOSFET 技术上,提高击穿电压、降低导通电阻、减小寄生、小型化、良率是士兰微近几年在器件性能上研究的重点,士兰微近几年在 IGBT、二极管器件性能上布局热度较低。

具体来看,在 MOSFET 技术中,栅极技术是士兰微研究的重点,特别是沟槽栅和分裂栅技术,布局了大量专利,技术主要集中在近几年。其他栅极技术也有布局在栅氧化介质层、栅极电阻。

在沟槽栅技术中,提出了在第一沟槽和第二沟槽的上部形成介质层和阻止层来定义接触孔线宽,以缩小线宽;提出了槽栅结构被阻止层、氧化层、侧墙保护起来的结构;设计了屏蔽栅和控制栅,以及分压介质层;提出了多次回蚀刻和沉积结合的填充工艺;设计了屏蔽介质层,沟槽子掺杂区等技术。

在分裂栅技术中,提出了沟槽中栅极导体和屏蔽导体,以及屏蔽布线的设计;

提出利用不同尺寸沟槽的填充效果，同时形成栅极导体和栅极布线；在沟槽的底部形成与半导体衬底相反掺杂类型的掺杂区；提出了源极电极通过位于栅极导体之间的接触孔与屏蔽导体电连接等技术。

在 MOSFET 器件中，超级结技术专利集中在 2014 年-2015 年，主要提出了几种沟槽超级结的形成工艺，例如：研磨后测量得到硅衬底上方的阻止层的厚度，然后进行热氧化生长，将沟槽中硅衬底表面高度以上的外延层全部氧化为二氧化硅层，再刻蚀去除阻止层和二氧化硅层，提高耐压性；或者根据半导体衬底上方的阻止层的实际厚度刻蚀沟槽内的外延层，直至使外延层与半导体衬底顶面齐平；采用与半导体衬底的掺杂类型相反的液态掺杂源进行扩散，在沟槽周围的半导体衬底中形成与半导体衬底的掺杂类型相反的掺杂区等。

在 MOSFET 器件中，隔离技术专利主要集中在 2016 年，提出了在沟槽中的第一填充材料层形成凹槽，在凹槽中形成第二填充材料层以形成静电隔离结构，并对这种结构从多个角度进行了保护；在 2019 年，还提出了采用同一光刻胶掩膜，先后分别形成第一掺杂类型的阱区、位于第一掺杂类型的阱区的至少部分表面的第一掺杂类型的补偿区。

在 MOSFET 器件中，在 2011-2012 年，布局在终端结构上的专利主要在于：提出干法和湿法刻蚀结合形成功率器件终端环；提出源区结终端扩展技术和漏区结终端扩展技术一起组合使用；在 2016 年，提出在功率器件的元胞区和环区分别形成第一电荷补偿结构和第二电荷补偿结构；在 2021 年，提出接触场板位于刻蚀阻挡区上，阻挡层是多层介质层。

具体来看，在 IGBT 器件中，场截止层和沟槽栅是布局的重点，在 2012-2013

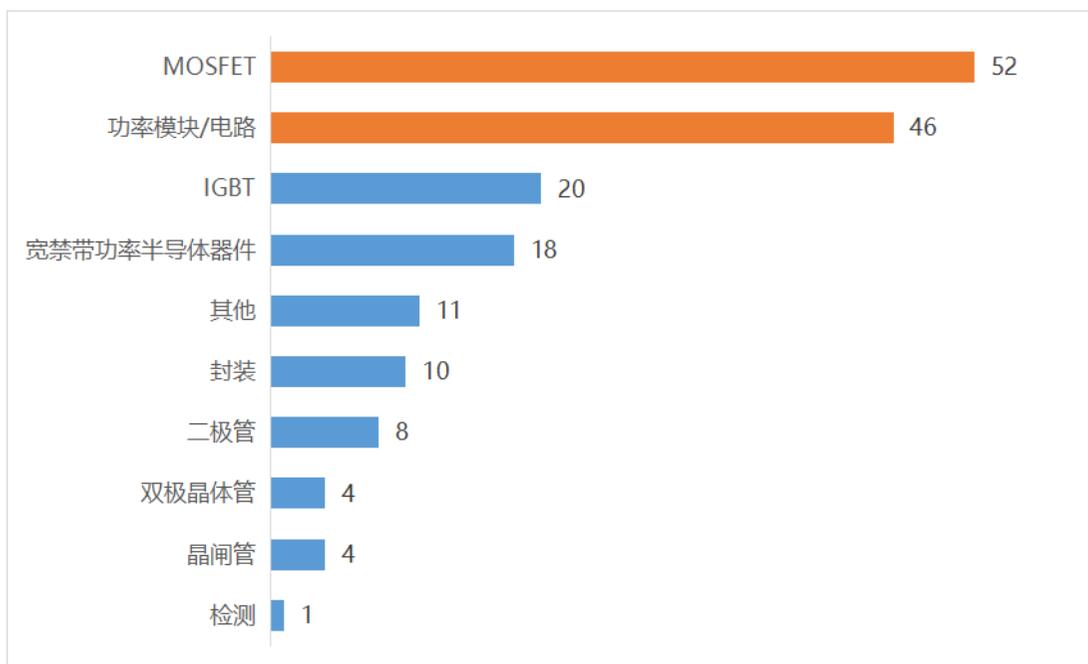
年布局重点在场截止层上,提出了场截止缓冲层包括 N 型衬底和形成在 N 型衬底中的 P 型埋层,或者保留部分半导体衬底和第一外延层共同作为场截止区等;在 2015 年-2017 年,以沟槽栅的布局为主,提出了第二沟槽栅结构、第三沟槽栅结构以及类发射区与第一沟槽栅结构电性连接的结构,以及复合型栅极结构,分离栅结构等。近几年,提出了对半导体衬底的第二表面进行激光处理,减小随后形成的缓冲区中的含氧量;还采用了至少一个缓冲区包围至少一个快速恢复二极管区。

具体来看,在模块/电路技术中,专利技术主要集中在近几年,布局重点在于框架、引线及芯片安装的设计,例如,增加了第一辅助模块、第二辅助模块连接栅极驱动芯片和晶体管的引线;对封装结构的管脚进行设计;增加了电流测量模块;采用具有台阶状接触面的引脚;对基岛布局和外引脚布局进行设计等。

第4章 专利诉讼情况分析

功率半导体器件领域专利诉讼频发，MOSFET、功率模块/电路、IGBT 技术是主要的诉讼领域。90%以上的诉讼都发生在美国和德国。

功率半导体器件领域在全球范围内的专利中发生诉讼的专利有 174 件，如图所示，MOSFET 相关专利占 52 件，功率模块/电路相关专利占 46 件，IGBT 相关专利占 20 件，宽禁带功率半导体器件占 18 件、封装占 10 件、二极管占 8 件、双极晶体管、晶闸管、检测技术，及其他相关技术占少量。从诉讼频发地域来看，90%以上的诉讼都发生在美国和德国。诉讼专利中有效专利有 76 件，失效专利 98 件，其中期限届满和未缴年费是主要的失效原因。



4.1 MOSFET 诉讼专利

在 MOSFET 技术的诉讼专利中，有效专利有 23 件，如表所示：

技术分类	标题	公开（公告）号	申请日	法律文书日期	原告	被告	法庭

MOSFET	Radio frequency (RF) power devices having faraday shield layers therein	US6653691B2	2001/11/5	2008-11-25;	Infineon	Fairchild	Delaware District Court
MOSFET	High-voltage semiconductor component	US6630698B1	2001/11/9				
MOSFET	High-voltage semiconductor component	US6960798B2	2003/6/6				
MOSFET	Transistor configuration with a structure for making electrical contact with electrodes of a trench transistor cell	US6891223B2	2003/3/19				
MOSFET	Power device with trenches having wider upper portion than lower portion	US7595524B2	2008/3/17				
MOSFET	Method for forming a trench MOSFET having self-aligned features	US7344943B2	2005/4/20	2008-11-25; 2008-11-28; 2009-10-05;	Infineon; Fairchild;	Fairchild; Infineon;	Delaware District Court; Maine District Court
MOSFET	Trench gate type semiconductor device and fabricating method of the same	US6717210B2	2002/11/7	2017-04-17;	North Plate Semiconductor	IXYS Corporation	Michigan Eastern District Court
MOSFET	Trench-gated MOSFET including schottky diode therein	US7564097B2	2007/4/25	2017-11-21; 2018-06-05;		Diodes Incorporated	Texas Eastern District Court; PTAB;

MOSFET	Semiconductor device and method for manufacturing the same	US7700998B2	2008/6/30	2017-07-21; 2017-07-21; 2017-11-21;		Alpha and Omega Semiconductor; Diodes Incorporated	California Northern; California Northern District Court; Texas Eastern District Court
MOSFET	Semiconductor device and method for manufacturing the same	US8173509B2	2010/3/1	2017-11-21;		Diodes Incorporated	Texas Eastern District Court
MOSFET	Semiconductor device and method of manufacturing the same	US6627499B2	2002/11/27	2017-11-21;		Diodes Incorporated	
MOSFET	Semiconductor device with a voltage detecting device to prevent shoot-through phenomenon in first and second complementary switching devices	US7049850B2	2004/2/19	2021-05-20;	Arigna Technology	Bayerische Motoren Werke AG; Daimler AG; General Motors Company; Volkswagen Group of America	Texas Eastern District Court
MOSFET	Semiconductor device	US8247867B2	2010/7/15	2021-06-28		Volkswagen Group of America	ITC Court

MOSFET	Power metal oxide semiconductor transistor layout with lower output resistance and high current limit	US7132717B2	2005/4/20	2009-12-02; 2010-01-05;	Richtek Technology	uPI Semiconductor; Advanced Micro Devices	California Northern District Court; ITC Court;
MOSFET	Semiconductor devices with graded dopant regions	US8421195B2	2007/1/12	2019-04-30; 2019-12-23;	Greenthread	Samsung Electronics	PTAB; Texas Eastern District Court
MOSFET	Semiconductor devices with graded dopant regions	US9190502B2	2014/10/16				
MOSFET	Semiconductor devices with graded dopant regions	US9647070B2	2015/11/3				
MOSFET	Semiconductor devices with graded dopant regions	US8106481B2	2009/8/27				
MOSFET	Power MOSFET with recessed field plate	US7843004B2	2007/9/25	2020-09-23; 2020-09-23; 2021-05-14;	Rohm Semiconductor; MaxPower Semiconductor;	MaxPower Semiconductor; Rohm Semiconductor	California Northern District Court; Court of Appeals for the Federal Circuit; PTAB
MOSFET	Semiconductor device structures and related processes	US8659076B2	2011/8/18	2020-09-23; 2021-05-14;			
MOSFET	Semiconductor device structures and related processes	US8466025B2	2011/8/1	2020-09-23; 2021-05-14;			
MOSFET	Semiconductor device structures and related processes	US8076719B2	2009/2/10	2020-09-23;	Rohm Semiconductor;	MaxPower Semiconductor;	California Northern District Court

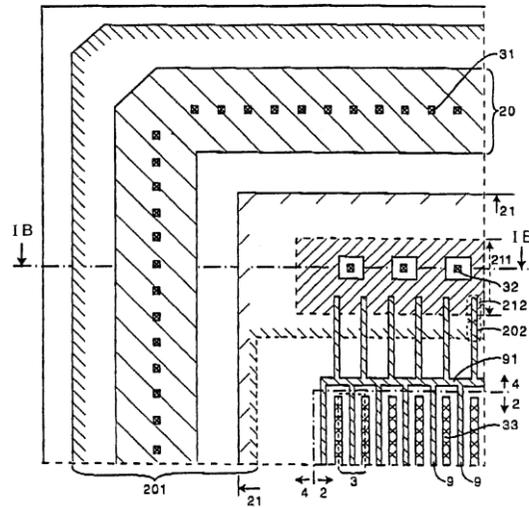
诉讼专利分析:

公开 (公告) 号	US6960798B2
申请日	2003 年 6 月 6 日
申请人	INFINEON TECHNOLOGIES AG
当前权利人	INFINEON TECHNOLOGIES AG
权利要求 1:	<p>一种半导体元件, 其具有包括阻挡 PN 结的半导体本体, 与第一电极连接的第一导电类型的源区, 其与形成与第一导电类型互补的第二导电类型的阻挡 PN 结的区域邻接, 以及连接到第二电极的第一导电类型的漏极区, 第二导电类型的区域面对漏极区域的一侧形成第一表面, 以及在第一表面和位于第一表面和漏极区之间的第二表面之间的区域中, 所述第一和第二导电类型的区域彼此嵌套, 其中所述第二表面与所述漏极区相距一定距离, 使得彼此嵌套的所述第一和第二导电类型的区域不到达所述漏极区。</p>

附图	
公开 (公告) 号	US6891223B2
申请日	2003 年 3 月 19 日
申请人	INFINEON TECHNOLOGIES AG
当前权利人	INFINEON TECHNOLOGIES AG
权利要求 1	<p>一种晶体管结构, 包括:至少一个栅极端子; 至少一个源终端; 至少一个漏极端子; 具有衬底表面的半导体衬底; 在所述半导体衬底中形成的至少一个有源单元阵列, 所述半导体衬底具有在其中在所述有源单元阵列中形成的至少一个沟槽邻接所述有源单元阵列和延伸到所述边缘区域中的所述沟槽的边缘区域; 沿所述</p>

沟槽形成的至少一个沟槽晶体管单元；设置在所述沟槽内并沿所述沟槽延伸的至少两个电极结构； 以及基本上设置在所述半导体衬底的所述衬底表面上方的金属化物，所述两个电极结构中的至少一个在所述边缘区域中导电地连接到所述金属化物中的一个。

附图



公开 (公告) 号

US7344943B2

申请日

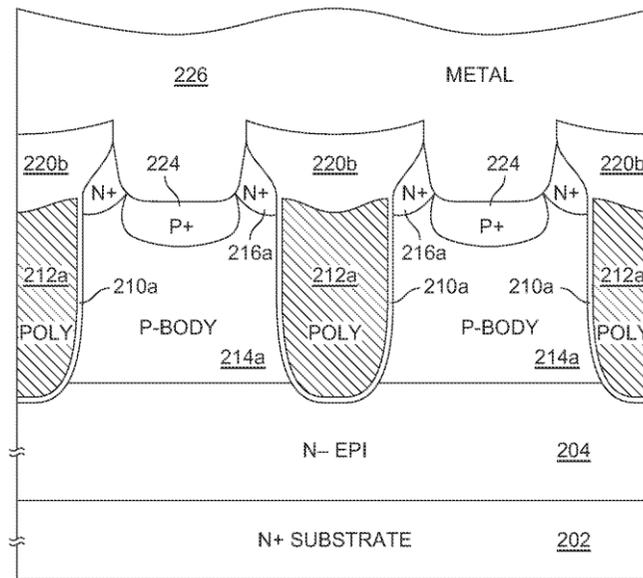
2005 年 4 月 20 日

申请人	INFINEON TECHNOLOGIES AG
当前权利人	INFINEON TECHNOLOGIES AG
权利要求 1	<p>一种形成半导体器件的方法，包括：在硅层中形成多个沟槽；在硅层的上部中形成第一导电类型的第一掺杂区；在每个沟槽内形成绝缘层，使得绝缘层的顶表面与第一掺杂区的顶表面基本共面，每个沟槽内的绝缘层直接在与每个沟槽侧壁相邻的第一掺杂区的一部分上延伸；以及从相邻的每个沟槽中去除暴露的硅，直到第一掺杂区中只剩下与沟槽侧壁相邻的部分，第一掺杂区中与沟槽侧壁相邻的剩余部分形成与沟槽自对准的源极区。</p>

附图	
公开 (公告) 号	US7595524B2
申请日	2008 年 3 月 17 日
申请人	INFINEON TECHNOLOGIES AG
当前权利人	DEUTSCHE BANK AG NEW YORK BRANCH, AS COLLATERAL AGEN
权利要求 1	一种场效应晶体管(FET), 包括:延伸到硅层中的多个沟槽, 每个沟槽具有上侧壁, 该上侧壁具有基本上垂直延伸的顶部; 在相邻沟槽之间延伸到硅层中的接触开口, 使得每个沟槽和相邻接触开口形成对应于基本垂

直延伸的顶部的公共上侧壁部分；在相邻沟槽之间延伸的体区；以及源极区在邻近每个沟槽的相对侧壁的体区中延伸，源极区具有与体区相反的导电类型。

附图



案情介绍

2008 年至 2009 年英飞凌起诉 Fairchild Semiconductor 专利侵权。涉及专利有 US6653691B2、US6630698B1、US6960798B2、US6891223B2、US7595524B2、US7344943B2。2009 年 12 月，Fairchild Semiconductor 表示，

已与英飞凌专利权上的法律争端达成和解，并且签署了交叉许可协议。

4.2 IGBT 诉讼专利分析

在 IGBT 技术的诉讼专利中，有效专利有 6 件，如表所示：

技术分类	标题	公开（公告）号	申请日	法律文书日期	原告	被告	法庭
IGBT	Semiconductor device and method of manufacturing the same	US6620653B2	2001/9/25	2017-04-17;2017-07-21;2018-12-14;2020-10-28;	North Plate Semiconductor	ABB; Alpha and Omega Semiconductor; IXYS;	California Northern District Court; Michigan Eastern District Court; New York Eastern District Court; North Carolina Eastern District Court
IGBT	High voltage semiconductor device capable of increasing a switching speed	US6617641B2	2002/1/31	2017-04-17;2017-07-21;2018-12-14;2020-10-28;		Microchip Technology; Microsemi	
IGBT	High breakdown voltage semiconductor device	US6667515B2	2002/1/24	2017-04-17;2017-07-21;2017-11-21;		Alpha and Omega Semiconductor; Diodes Incorporated;	California Northern District Court; California Northern District Court;

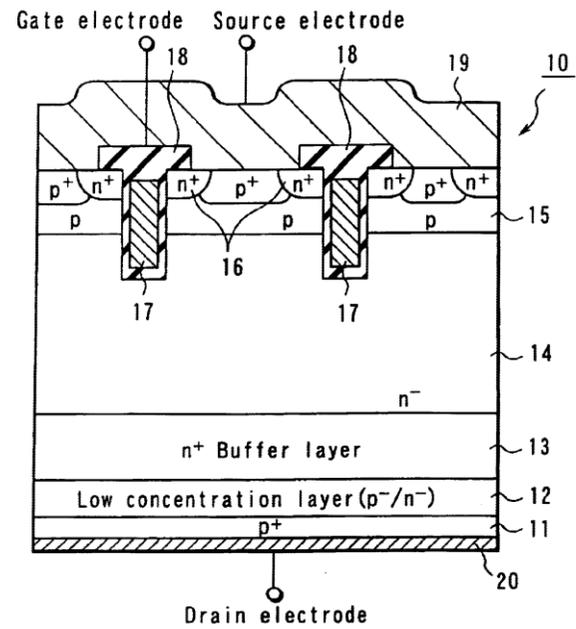
						IXYS	Michigan Eastern District Court; Texas Eastern District Court
IGBT	Semiconductor device having junction-termination structure of resurf type	US6765239B2	2002/7/2	2017-04-17;		IXYS Corporation	Michigan Eastern District Court
IGBT	Power semiconductor device	US6936893B2	2003/10/3	2017-04-17;			
IGBT	Method for depinning the Fermi level of a semiconductor at an electrical junction and devices incorporating such junctions	US7084423B2	2002/8/12	2019-10-23;2020-06-24;	Acorn Semi	Samsung	PTAB; Texas Eastern District Court

诉讼专利分析:

公开 (公告) 号	US6617641B2
申请日	2002 年 1 月 31 日

申请人	Kabushiki Kaisha Toshiba
当前权利人	DIODES INCORPORATED
权利要求 1	<p>一种半导体器件，包括：第一导电类型的漏极层；形成在漏极层上方的第二导电类型的缓冲层；在缓冲层上形成的第二导电类型的高电阻层；形成在高电阻层上的第一导电类型的基极层；在基极层的表面区域中形成的包含高浓度杂质的第二导电类型的源极层；栅电极，形成在所述基极层中，在所述基极层和所述栅电极层之间插入绝缘膜；以及形成在漏极层和缓冲层之间的低浓度层，低浓度层的杂质浓度低于漏极层和缓冲层的杂质浓度，其中漏极层为杂质扩散层，且漏极层中包含的杂质总量至多为 $5 \times 10^{14} \text{CM}^{-2}$。</p>

附图



公开 (公告) 号

US6620653B2

申请日

2001 年 9 月 25 日

申请人

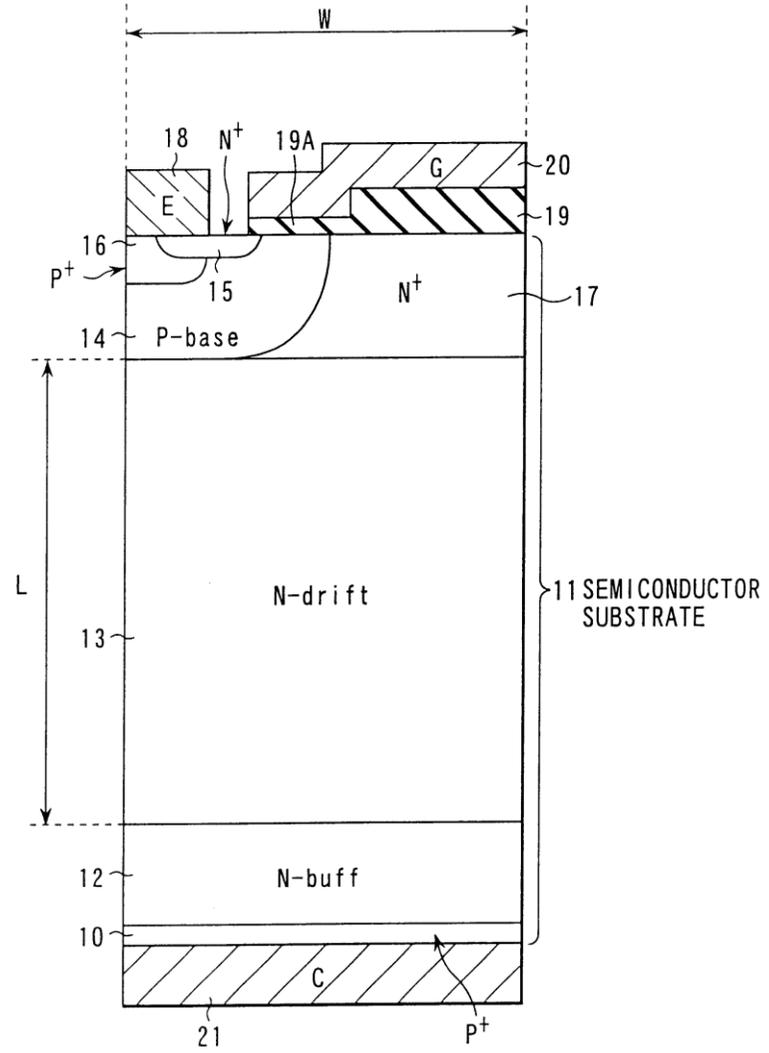
Kabushiki Kaisha Toshiba

当前权利人

DIODES INCORPORATED

权利要求 1	<p>一种半导体器件, 包括:包括半导体衬底的第一导电类型的第一基层;</p> <p>第二导电型集电极层, 其厚度设置为 1m 或更小, 并且位于所述第一基层的第一表面的一侧; 在所述第一基层和所述集电极层之间的第一导电型缓冲层; 在所述第一基层的第二表面的一侧上的第二导电类型的第二基层; 在所述第二基极层中的第一导电型发射极层; 以及位于所述发射极层和所述第一基极层之间的所述第二基极层上方的栅电极。</p>
--------	--

附图



案情介绍	<p>2017 年 4 月 17 日, North Plate Semiconductor 起诉 IXYS 产品侵犯专利权。被指控的产品至少包括被告 IXYS 的 GenX4 和 GenX3 XPT IGBT、沟槽功率 MOSFET 和 HiperFET 功率 MOSFET 功率半导体器件系列, 涉及的专利包括 US6617641B2、US6620653B2、US6667515B2、US6717210B2、US6936893B2、US6765239B2。</p> <p>2017 年 7 月 21 日, North Plate Semiconductor 起诉 Alpha and Omega Semiconductor 产品侵犯专利权。涉及的产品包括 MOS MOSFET, MOSFET DFN, Trench Power MOSFET and IGBT 产品, 侵犯专利 US6469398B1, US6501129B2, US6617641B2, US6667515B2, US6620653B2, US7459751B2, US7492031B2, US7700998B2。</p> <p>2018 年 12 月 14 日, North Plate Semiconductor 起诉 MicrochipTechnology 产品侵犯专利权。被控产品至少包括 Microsemi 的 IGBT Power MOS 8 with PT 和 IGBT Power MOS 7 with PT 器件, 侵犯专利 US6617641B2、US6620653B2。</p> <p>2020 年 10 月 28 日, North Plate Semiconductor 起诉 ABB 产品侵犯专利权。起诉 ABB 的具备 SPT* 和 SPT** 结构的 IGBT 产品侵犯专利 US6617641B2、US6620653B2。</p>
------	--

4.3 功率模块/电路技术诉讼专利

在功率模块/电路技术的诉讼专利中，有效专利有 14 件，部分专利如表所示：

技术分类	标题	公开 (公告) 号	申请日	法律文书日期	原告	被告	法庭
功率模块/电路	POWER SEMICONDUCTOR SWITCHING DEVICES, POWER CONVERTERS, INTEGRATED	US6710441B2					
功率模块/电路	CIRCUIT ASSEMBLIES, INTEGRATED CIRCUITRY, POWER CURRENT SWITCHING METHODS, METHODS OF FORMING A POWER SEMICONDUCTOR SWITCHING DEVICE, POWER CONVERSION METHODS, POWER	US6737301B2	2001/7/12	2013-08-30;	Infineon	Volterra Semiconductor	Texas Eastern District Court

	SEMICONDUCTOR SWITCHING DEVICE PACKAGING METHODS, AND METHODS OF FORMING A POWER TRANSISTOR						
功率 模块/ 电路	Semiconductor device and hybrid integrated circuit device	US7102211B2	2004/6/30	2016-12-27;2017-03-09;2018-01-03;	ON Semiconductor; Semiconductor Components Industries; Power Integrations	Power Integrations; ON Semiconductor; Semiconductor Components Industries	Delaware District Court; PTAB; Texas Eastern District Court
功率 模块/ 电路	Active primary-sided circuit arrangement for a switch-mode power supply	US7403399B2	2006/3/30	2021-04-23;	MyPAQ Holdings	Samsung Electronics	Texas Western District Court

功率 模块/ 电路	Switch circuit and method of switching radio frequency signals	US7123898B2	2004/8/18	2012-02-14;2012-04-13;2012-04-16;2012-05-11;2012-06-13;2013-03-26;	Peregrine Semiconductor; RF Micro Devices	HTC; Peregrine Semiconductor; RF Micro Devices; Motorola Mobility	California
功率 模块/ 电路		US7460852B2	2006/10/16				California
功率 模块/ 电路		US7860499B2	2008/12/1				California Central District Court; California Southern District Court; ITC Court; North Carolina Middle District Court

4.4 其他技术诉讼专利

其他技术诉讼专利中，部分有效专利如表所示：

技术分类	标题	公开（公告）号	申请日	法律文书日期	原告	被告	法庭
双极晶体管	Fabrication of a bipolar transistor using a sacrificial emitter	US6869853B1	2002/12/18	2021-01-28;2021-02-23;2021-02-24;2021-04-30;	Viewpoint IP	Anokiwave; DENSO International; Infinera; MACOM TECHNOLOGY; Renesas Electronics; Semtech; STMicroelectronics; Tektronix; Teledyne LeCroy	Delaware District Court; Florida Middle District Court; Ohio Southern District Court
二极管	Method for depinning the fermi level of a semiconductor at an electrical junction and devices incorporating such	US9209261B2	2015/6/18	2019-10-23;2020-06-24;	Acorn Semi	Samsung	PTAB; Texas Eastern District Court
二极管		US9461167B2	2016/2/19	2019-10-23;2020-06-29;2020-07-06;			
二极管		US9905691B2	2016/2/19	2019-10-23;2020-06-29;2020-07-10;			
二极管		US10090395B2	2018/1/23	2019-10-23;2020-06-29;2020-07-13;			

	junctions						
二极管	高效整流器	CN101271926B	2008/3/10	2015-11-06;2019-06-12;	上海凯虹科技电子有限公司; 重庆平伟实业股份有限公司	上海凯虹电子科技有限公司; 深圳江南好电子有限公司; 深圳江南好电子有限公司; 重庆平伟实业股份有限公司	广东省高级人民法院; 广东省深圳市中级人民法院
封装	Semiconductor package and manufacturing method thereof	US6469398B1	2002/3/21	2017-07-21;2017-11-21;	North Plate Semiconductor	Alpha and Omega Semiconductor; Diodes Incorporated	California Northern; California Northern District Court; Texas Eastern District Court
封装	Chip scale package for power devices and method for making the same	US7944048B2	2007/8/7	2013-11-01;2014-04-16;	Monolithic Power Systems	Silergy Corporation; Bizcom Electronics; Compal Electronics; Silergy Technology	California Central District Court; California

							Northern District Court
宽禁带功率半导体器件	Nitride semiconductor device	US7750337B2	2007/9/12	2019-07-19;	Nichia; Healthe; Lighting Science Group	Healthe; Lighting Science Group; Shaoxing Lumiman Electronic; Shanghai Dangoo Electronics; Zhejiang Super Lighting Electric Appliance	Florida Middle District Court
		US6838693B2	2003/5/22				
		US8309948B2	2010/6/11				
		US9444011B2	2015/8/25				
晶闸管	一种晶闸管芯片	CN203674217U	2014/1/16	2020-11-20;	浙江正邦电子股份有限公司	黄山市昱奥电器科技有限公司;	中华人民共和国
晶闸管	一种晶闸管芯片的结终端结构	CN104934464B	2014/9/3			黄山芯微电子股份有限公司	最高人民法院
其他	Method of manufacturing an enhanced electromigration performance hetero-junction bipolar transistor	US8901738B2	2012/11/12	2020-08-25;	Auriga Innovations	Intel; Hewlett Packard	Texas Western District Court
其他	Semiconductor devices with enhanced electromigration	US9362229B2	2014/10/16				Texas Western District Court

	performance						
其他	Integrated circuit package substrate with multiple voltage supplies	US6777802B1	2002/6/6	2011-05-23;	Invensas Corporation	Renesas Electronics	Delaware District Court
其他	Integrated circuit chip with reduced IR drop	US8772928B2	2011/8/9	2019-02-21;2021-06-17;	Mediatek	ADVANCED MICRO DEVICES; NXP; ROBERT BOSCH; Arrow Electronics; Avnet; Continental Automotive GmbH	California Central District Court; Delaware District Court

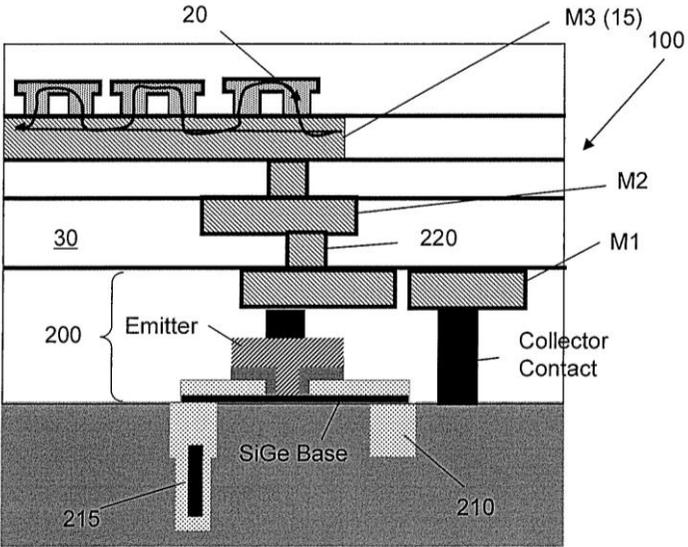
诉讼专利分析:

公开 (公告) 号	CN104934464B
申请日	2014 年 9 月 3 日
申请人	安徽省祁门县黄山电器有限责任公司
当前权利人	黄山芯微电子股份有限公司

<p>权利要求 1</p>	<p>一种晶闸管芯片的结终端结构，包括长基区 N，短基区 P1、P2，隔离墙，扩磷区 N+，浓硼扩散区 P+，电压槽，所述的电压槽成环形结构；其特征在于：所述的电压槽是耐高压、表面电场弱的电压槽结构；所述电压槽两侧壁的上沿均设置有台阶结构；所述电压槽侧壁的上沿设置有二级台阶结构。</p>
<p>附图</p>	
<p>案情介绍</p>	<p>黄山芯微电子股份有限公司向安徽省合肥市中级人民法院提出浙江正邦电子股份有限公司产品侵权诉讼，浙江正邦电子股份有限公司对合肥市中级人民法院对本案是否有管辖权提出异议。中华人民共和国最高人民法院驳回被告浙江正邦电子股份有限公司对本案管辖权提出的异议。</p>

公开 (公告) 号	CN203674217U
申请日	2014 年 1 月 16 日
申请人	安徽省祁门县黄山电器有限责任公司
当前权利人	黄山芯微电子股份有限公司
权利要求 1	一种晶闸管芯片，包括硅片(1)，硅片(1)上设有阴极和门极，所述阴极上设有阴极电极(2)；其特征在于：所述门极上设有门极电极(3)；所述门极电极(3)高度大于等于阴极电极(2)的高度；所述晶闸管芯片的周边设置有绝缘材料(6)，门极电极(3)和阴极电极(2)间也填充有绝缘材料(6)。
附图	
案情介绍	黄山芯微电子股份有限公司向安徽省合肥市中级人民法院提出浙江正邦电子股份有限公司产品侵权诉讼，浙江正邦电子股份有限公司对合肥市中级人民法院对本案是否有管辖权提出异议。中华人民共和国最高人民法院驳

	<p>回被告浙江正邦电子股份有限公司对本案管辖权提出的异议。浙江正邦电子股份有限公司提出对本专利的无效请求，2021年4月29日的无效审查决定是本专利的权利要求1-4均不具备专利法第22条第3款规定的创造性。黄山芯微电子股份有限公司是否认可该判决还有待进一步跟踪。</p>
公开(公告)号	US8901738B2
申请日	2012年11月12日
申请人	International Business Machines Corporation
当前权利人	AURIGA INNOVATIONS; GLOBALFOUNDRIES; GLOBALFOUNDRIES
权利要求1	<p>一种方法,包括:形成与器件电接触的至少一条金属线; 以及形成与所述至少一条金属线电接触的至少一个订书钉结构,所述至少一个订书钉结构形成为使得通过所述至少一条金属线的电流也通过所述至少一个订书钉结构以减少电迁移问题; 其中所述至少一个钉结构的形成包括:在介电材料中形成多个通孔和跨越所述多个通孔之间的沟槽; 用导电衬里衬里所述多个通孔和所述沟槽; 以及用导电材料填充多个通孔和沟槽,使得沟槽的填充形成与通孔中的导电材料直接电接触的导电条。</p>

附图	
案情介绍	2020 年 8 月 25 日, Auriga Innovations 起诉 Intel 的产品侵犯专利权, 涉及专利组合 US7888736B2、US8106481B2、US9000537B2、US8957479B2、US8234594B2、US8901738B2、US9362229B2。
公开 (公告) 号	CN101271926B
申请日	2008 年 3 月 10 日
申请人	DIODES FABTECH INC

当前权利人	上海凯虹科技电子有限公司
权利要求 1	<p>一种半导体整流器件，包括：δP^{++}层；在δP^{++}层之下且与其相邻的 P 本底；在 P 本底区域之下且与其相邻的 N 漂移区域；以及在 N 漂移区域之下的 N+基片；在δP^{++}层之上并与其相邻的高级硅化物区域；一层用作栅极电介质的氧化物，这层氧化物位于 N 漂移区域、P 本底、δP^{++}层和硅化钛区域中的一种或者多种之上并与其相邻；一层在氧化层之上且与其相邻的多晶硅；以及一层在多晶硅层之上且与其相邻的钛。</p>

附图	
案情介绍	<p>上海凯虹科技电子有限公司起诉重庆平伟实业股份有限公司、深圳江南好电子有限公司产品侵犯专利权。广东省深圳市中级人民法院驳回了原告的全部诉讼请求。该案件上诉至广东省高级人民法院，判决维持原判。重庆平伟实业股份有限公司也提出了专利权无效请求，2016年9月27日，无效审查决定是请求人提出的所有无效理由均不成立。</p>
公开 (公告) 号	US6869853B1

申请日	2002 年 12 月 18 日
申请人	Prabhuram Gopalan
当前权利人	VIEWPOINT IP LLC
权利要求 1	<p>一种制造双极晶体管的方法，该方法包括：在基极上形成牺牲发射极；在牺牲发射极上形成第一氧化层；在第一氧化层上形成掩模材料；平坦化掩模材料以暴露第一氧化层；蚀刻牺牲发射极上的第一氧化层的一部分；以及移除牺牲发射极。</p>
附图	
案情介绍	原告 VIEWPOINT IP 于 2021 年 1 月 28 日起诉 ANOKIWAVE、STMicroelectronics 产品侵权。涉及被告

ANOKIWAVE 的产品 (Anokiwave-mmW Silicon ICs, 例如 BiCMOS8HP 和 BiCMOS8XP) , 涉及被告 STMicroelectronics 的产品 (BiCMOS9MW, 例如 BiCMOS9) 、 Teledyne LeCroy 的产品 (Teledyne LeCroy-LabMaster 10 Zi-A, 例如 BiCMOS8HP) 。

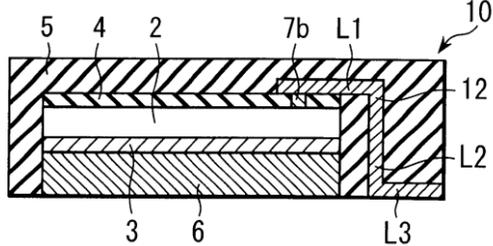
原告 VIEWPOINT IP 于 2021 年 2 月 23 日起诉 Renesas 产品侵权。涉及 Renesas 的产品, Renesas NESG7030M04, 例如 SiGe:C HBT。

原告 VIEWPOINT IP 于 2021 年 2 月 24 日起诉 Semtech、DENSO International、Infinera 产品侵权。涉及 Semtech 的产品 Semtech SMI4027 , 例如 BiCMOS8HP ; DENSO International 的产品 Denso-Submillimeter Wave Radar Sensor, 例如 SBC18; Infinera 的产品 Infinera-GX Series, Terabit SiGe BiCMOS platform SBC 18。

原告 VIEWPOINT IP 于 2021 年 4 月 30 日起诉 Macom 的产品 (Macom Crosspoint Switches, 例如 SBC18H3) 侵犯专利权。

起诉理由是其认为被诉产品公开了一种制造双极晶体管的方法。双极晶体管在基极上包含牺牲发射极(例如, 在

	SiGe 基极上的发射极)。被控产品公开了关于在牺牲发射极上方形成第一氧化物层；被控产品公开了在第一氧化物层上形成掩蔽材料(即，氮化物层)；被控产品公开了掩模材料的平坦化(例如，使用 CMP 方法平坦化氧化物层)以暴露第一氧化物层；被控产品公开了关于蚀刻牺牲发射极上方的第一氧化物层的一部分，并去除牺牲发射极案例（即去除牺牲发射极的多晶硅以减少狭窄的发射极开口）。原告认为被诉产品包含在‘853’专利的权利要求 1 中，侵犯了其专利权。
公开 (公告) 号	US6469398B1
申请日	2002 年 3 月 21 日
申请人	Kabushiki Kaisha Toshiba
当前权利人	DIODES INCORPORATED
权利要求 1	一种半导体封装，包括：一种半导体芯片，包括第一和第二的顶侧上设置的电极，和第三电极，设置在底侧；一种散热器结合到第三电极；第一和第二电连接的导电引线第一和第二电极通过第一和第二导电接合部件，分别，第一和第二导线分别包括脚部分，在下端侧边延伸的第一和第二导线与第一侧上并置散热装置；和绝缘密封体，

	<p>以嵌在其中密封半导体芯片，散热器，和部分第一和第二引线，从第一和第二延伸的接合构件的至少一部分的足部，散热器和脚部分第一和第二引线具有底面，其暴露在密封体的底部，并且布置在大致同一平面上。</p>
<p>附图</p>	
<p>案情介绍</p>	<p>2017 年 7 月 21 日，North Plate Semiconductor 起诉 Alpha and Omega Semiconductor 产品侵犯专利权。涉及的产品包括 MOS MOSFET, MOSFET DFN, Trench Power MOSFET and IGBT 产品，侵犯专利 US6469398B1, US6501129B2, US6617641B2, US6667515B2 , US6620653B2, US7459751B2 , US7492031B2 , US7700998B2 。</p> <p>2017 年 11 月 21 日，North Plate Semiconductor 起诉 Diodes Incorporated 侵犯专利权，涉诉专利为：US6469398B1, US6501129B2, US6627499B2, US6667515B2 , US7564097B2 , US7700998B2 ,</p>

	US8173509B2。被控产品至少包括被告的沟槽 MOSFET、DIOFET（二极管肖特基集成 MOSFET）、具有内部 MOSFET 的 LED 驱动器，以及所有具有 POWERDI 功率封装系列的分立半导体半导体设备。
--	--

4.5 小结

功率半导体器件领域专利诉讼频发，MOSFET、功率模块/电路、IGBT 技术是主要的诉讼领域。90%以上的诉讼都发生在美国和德国。诉讼专利中有效专利占比 44%，失效专利较多，其中期限届满和未缴年费是主要的失效原因。

第5章 华微电子功率半导体器件专利资产状况

分析

5.1 自有专利分析

5.1.1 申请趋势

根据前期的标引和数据文献筛选,华微电子共申请功率半导体器件相关专利 129 件,申请趋势如图所示,专利申请始于 2003 年,专利申请在波动中增长,申请量在 2018 年达到高峰,为 29 件。对于 2019-2021 年的专利申请数量,由于存在部分申请需要 18 个月之后才能公开的情况,因此专利申请数量统计不全。

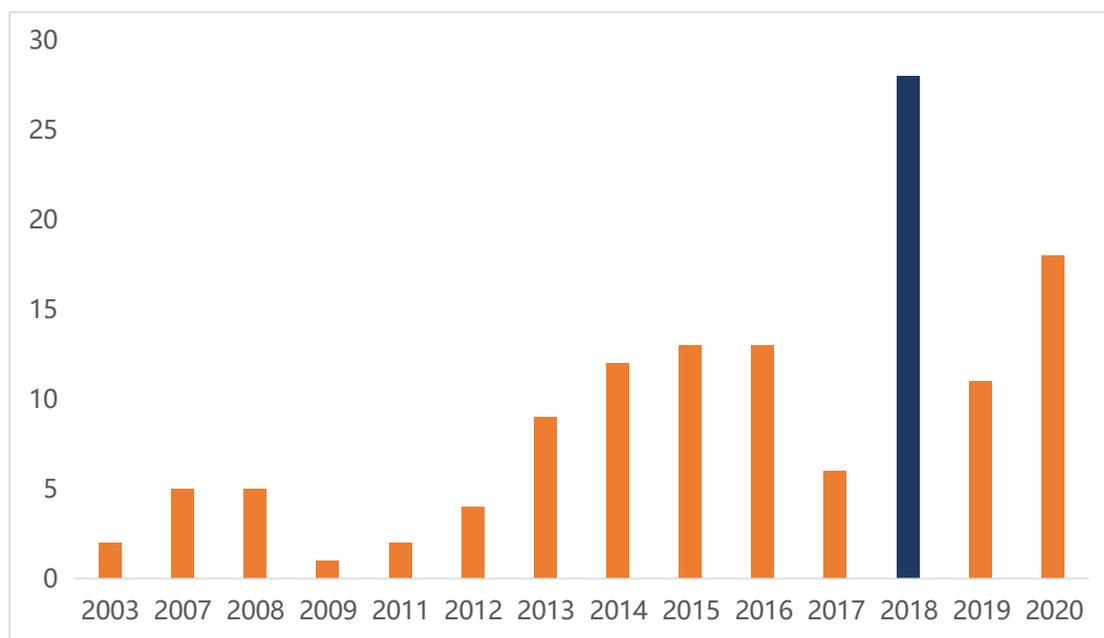


图 5.1 相关专利申请趋势

从各技术分支的申请趋势来看,近几年布局的重点 MOSFET、二极管、IGBT、检测技术上。

技术分支	2003	2007	2008	2009	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	总计
其他		1	3		1	1	4	4	6				4	1	25
二极管	1			1		1		2		4	2	7	2	3	23
MOSFET					1	1		3	1	3	2	7		3	21
IGBT		4							1	4	1	5	1	2	18
模块/电路							5	2	5			4			16
检测								1		1	1	3	1	7	14
封装	1									1			2		4
晶闸管			1			1						1		1	4
双极晶体管			1									1		1	3
宽禁带功率半导体器件													1		1

图 5.2 各技术分支的申请趋势

5.1.2 地域布局

华微电子的相关专利仅布局在中国，暂无海外布局专利。

5.1.3 专利布局类型

华微电子的相关专利以发明专利为主，占比 59%，实用新型专利占比 39%，另有 2%是外观设计。

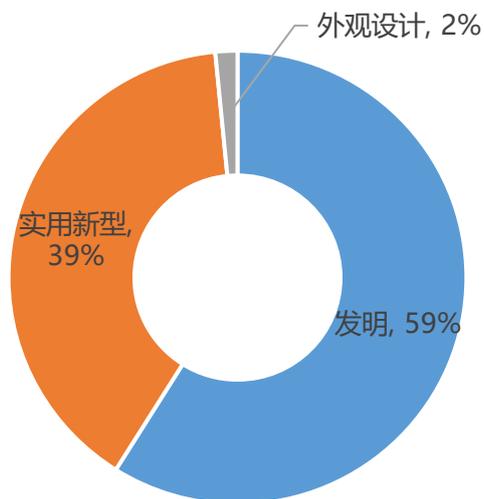


图 5.3 专利布局类型

5.1.4 法律状态及专利运营情况

华微电子的相关专利中,有效(授权)专利占比为 53%,审中专利占比 26%,失效专利占比 21%;失效专利中以撤回为主,占 11%,其他失效原因有驳回、期限届满、避重放弃,占比分别为 5%、3%、2%。

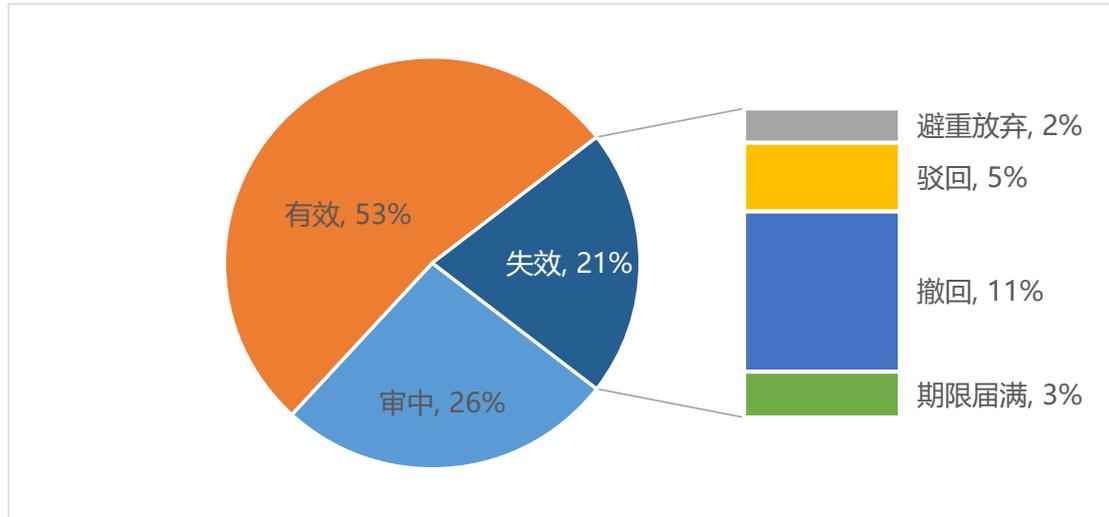


图 5.4 法律状态

暂无发生过诉讼, 质押的专利; 许可仅发生在华微电子和其子公司之间; 受让专利有 3 件, 深圳市稳先微电子有限公司转让 2 件, 北京工业大学转让 1 件。

转让信息如下表所示:

标题	申请人	公开 (公告) 号	转让执行日	转让人	受让人
一种精确控制半导体器件掺杂区掺杂浓度的方法	深圳市稳先微电子有限公司	CN102254801A	2013/12/12	深圳市稳先微电子有限公司	吉林华微电子股份有限公司
一种栅源侧台保护的晶体管功率器件及其制造方法	深圳市稳先微电子有限公司	CN102254943A	2013/12/5	深圳市稳先微电子有限公司	吉林华微电子股份有限公司; 吉林麦吉柯半导体有限公司; 深圳市稳先微电子有限公司

一种碳化硅 MOS 的单粒子加固器件结构及其制备方法	北京工业大学	CN111129119A	2020/11/4	北京工业大学	北京工业大学; 深圳吉华微特电子有限公司
----------------------------	--------	--------------	-----------	--------	----------------------

5.1.5 主要技术分支的布局

华微电子的相关专利中，布局在其他技术上的专利有 25 件，布局在二极管和 MOSFET 上的专利分别有 23 件和 21 件，布局在 IGBT 上的专利有 18 件，布局在模块/电路上的专利占比 16 件，检测技术上布局 14 件，晶闸管、封装、双极晶体管等上布局专利较少。

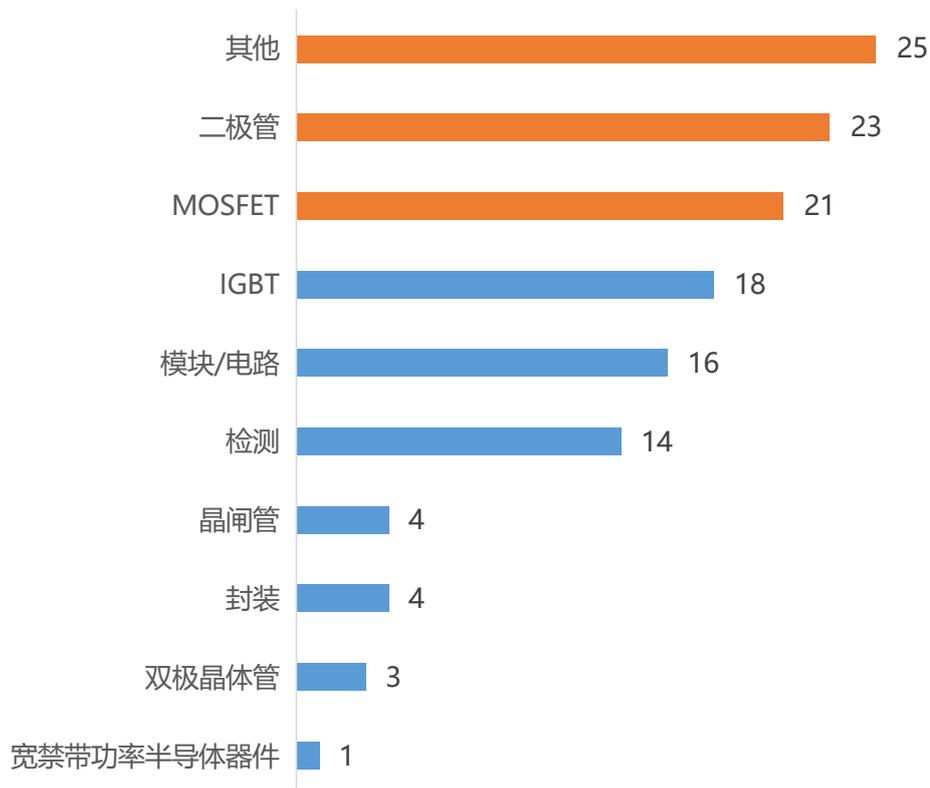


图 5.5 技术分支布局情况

5.1.6 专利被引用情况

华微电子的相关专利中，被引用频次 6 次及以上的专利有 5 件。高被引频次的专利占比较少，远低于本领域的龙头企业，说明还需要加大技术创新度较高的核心专利的申请。

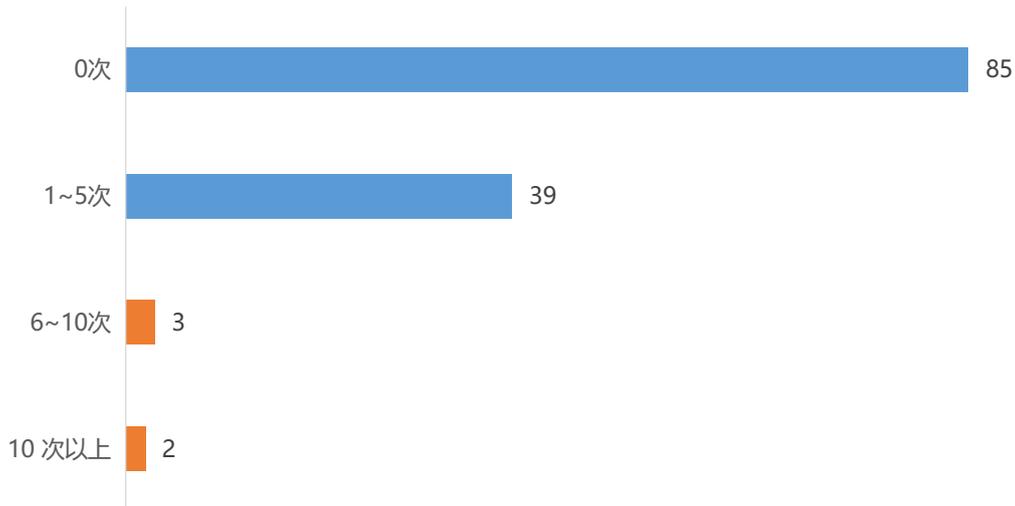


图 5.6 华微电子专利被引用统计

5.2 小结

(1) 从申请趋势来看，华微电子关于功率半导体器件的专利始于 2003 年，整体呈增长态势，近几年的申请重点在 MOSFET、二极管、IGBT、检测技术上。华微电子的相关专利申请早于其他两位重点申请人，但是相关专利申请量低于其他两位申请人；

(2) 从专利类型来看，华微电子的发明专利占比 59%。一方面，经过实质审查后的发明专利权利要求相对稳定，另一方面，也说明华微电子研发实力较强，自主创新能力较高；

(3) 从专利布局方面来看，华微电子申请的相关专利均布局在中国，海外

布局专利布局数量低于其他两位重点申请人。需要防范海外经营风险, 加快海外专利布局;

(4) 从法律状态上看, 华微电子申请的相关专利处于授权状态的专利占比为 53%。授权专利比例低于士兰微, 略高于华润微电子。专利的授权比例较高说明其专利质量较高; 从专利运营来看, 许可仅发生在华微电子与子公司之间, 受让专利有 3 件, 无诉讼和质押专利;

(5) 从专利被引用情况来看, 高被引频次的专利占比较少, 说明还需要加大技术创新度较高的核心专利的申请。

第6章 总结与建议

6.1 总结

6.1.1 专利总体布局情况

从专利申请态势来看,功率半导体器件领域在全球范围内的专利申请整体呈增长趋势,2009年以来专利申请量急剧增长,近几年专利申请趋于稳定;中国专利申请落后于全球专利,专利申请也呈增长态势。

从专利技术来源来看,在全球范围内,日本和美国是功率半导体器件领域主要的专利来源国,美日申请的专利占比达到57%,中国申请的专利占比13%;而功率半导体器件相关中国专利主要来自国内,除此之外,日本、美国和德国是主要的技术来源。

从专利布局地域来看,在全球范围内,美国和日本布局专利最多,其次是中国。

从全球范围内申请人来看,美国企业英飞凌专利申请量最多,日本企业三菱电机和东芝申请量次之;英飞凌、三菱电机也在中国布局较多专利;国内申请人以高校和企业为主,中国企业里华虹集团、华润微电子、士兰微申请专利较多。

从专利类型来看,功率半导体器件相关专利在全球范围内专利类型以发明专利为主,发明专利占比达到95%;在中国的中国专利以发明专利为主,发明专利占比为80%。

从法律状态来看,功率半导体器件领域在全球范围内的有效专利较多,需要防范专利侵权风险;中国专利有效专利占比也较高,失效专利以未缴年费为主。

从技术分支来看,功率半导体器件领域在全球范围内的专利技术分支中,模

块/电路相关专利占比最大，MOSFET 技术占比为 17%、IGBT 技术占比 8%。在中国的专利技术分支中，模块/电路相关专利占比最大，MOSFET 技术占比为 19%、IGBT 技术占比 12%。

功率半导体器件领域专利诉讼频发，MOSFET、功率模块/电路、IGBT 技术是主要的诉讼领域。90%以上的诉讼都发生在美国和德国。诉讼专利中有效专利占比 44%，失效专利较多，其中期限届满和未缴年费是主要的失效原因。

6.1.2 主要竞争对手

(1) 宏观布局

从申请趋势来看，华润微的专利申请始于 2009 年，申请高峰出现在 2013 年，近三年专利申请量有回落趋势。士兰微的专利申请始于 2008 年，出现两次申请高峰，近三年专利申请呈增长态势。

从布局地域来看，华润微的专利主要布局在中国，除本土之外还在美国、日本、欧洲、韩国布局有少量专利；MOSFET 和 IGBT 技术是除了本土之外重点布局的技术。士兰微的专利主要布局在中国，此外还在美国、中国台湾、日本布局有少量专利；MOSFET 技术是除了本土之外，重点布局的技术。

从专利类型来看，华润微的专利以发明专利为主，发明专利占比为 96%，实用新型专利占比 4%。士兰微的专利以发明专利为主，发明专利占比为 57%，实用新型专利占比 43%。

从法律状态来看，华润微的有效专利（授权专利）占比达到 48%，失效专利中主要是由于驳回导致的失效。士兰微的有效专利（授权专利）占比达到 59%，失效专利中主要是由于避重放弃导致的失效。

(2) 技术分支

华润微在 MOSFET 技术上专利占比最大, 为 33%, 其次是 IGBT、二极管、模块/电路技术, 而封装、宽禁带功率半导体器件、双极晶体管、检测、晶闸管等技术专利占比较少。在 MOSFET 技术上, 栅极区域及终端结构的改进是华润微研究的重点; 在 IGBT 技术上, 背面工艺和场截止层工艺、终端结构和沟槽栅技术是华润微研究的重点。从申请趋势来看, MOSFET 技术是华润微近三年研究的热点。

技术分支上, 士兰微在 MOSFET 技术上专利占比最大, 为 45%, 其次是 IGBT、二极管、模块/电路技术, 而双极晶体管、封装、检测及其他技术专利占比较少。在 MOSFET 技术上, 栅极区域的改进是士兰微研究的重点; 在 IGBT 技术上, 场截止层、沟槽栅技术是士兰微研究的重点。从申请趋势来看, MOSFET、模块/电路技术是士兰微近三年研究的热点。

(3) 技术功效

降低成本、可靠性、提高击穿电压、降低导通电阻是华润微关注的重点, 布局专利较多。在 MOSFET 技术上, 关注的重点是提高击穿电压、降低导通电阻; 在 IGBT 技术上, 关注的重点是降低成本、降低导通压降、可靠性; 在二极管技术上, 关注的重点是降低导通压降、降低成本、可靠性、提高击穿电压; 在模块/电路技术上, 关注的重点是降低成本、小型化。从时间维度来看, 在 MOSFET 技术上, 降低导通电阻、提高击穿电压、小型化是华润微近三年在器件性能上研究的重点, 士兰微近三年在 IGBT、二极管、模块/电路性能上布局热度较低。

技术功效上, 可靠性、提高击穿电压、降低成本、小型化是士兰微关注的重点, 布局专利较多。在 MOSFET 技术上, 关注的重点是可靠性、提高击穿电压、

降低导通电阻；在 IGBT 技术上，关注的重点是降低导通压降、降低成本、可靠性、提高击穿电压；在二极管技术上，关注的重点是可靠性、均匀性、降低电容、小型化；在模块/电路技术上，关注的重点是可靠性、小型化。从时间维度来看，在 MOSFET 技术上，提高击穿电压、降低导通电阻、减小寄生、小型化、良率是士兰微近几年在器件性能上研究的重点，士兰微近几年在 IGBT、二极管器件性能上布局热度较低。

(4) 华润微的布局重点

具体来看，在 MOSFET 器件上，华润微布局的重点在栅极和终端技术上，其次是布局在超级结技术上：

在 MOSFET 终端技术中，在 2010-2012 年，提出采用在场限环中间增加隔离沟槽的技术，还提出了多个场限环的设计；在 2015 年，还设计了插入式阱延伸至与 P 型场限环相接触；此外，还对场板做了改进，采用了导体场板和半绝缘电阻场板；在 2016-2017 年，设计了埋层、漂移区、衬底的三层 RESURF 结构；此后，场板技术成为了华润微布局的重点，设计了多级场板、孔场板技术。

在 MOSFET 栅极技术中，沟槽栅是华润微布局的重点，其他还有平面栅等技术：

在 MOSFET 沟槽栅技术中，在 2010-2013 年，提出了梳状沟槽，以及沟槽延伸到衬底中的结构；在 2017 年，提出了双沟槽，结合屏蔽栅、主控制栅和辅助栅的技术；在 2018 年以来，提出了在沟槽底部形成埋层、PN 结构等；多晶硅顶部高度位置高于沟槽顶部高度；至少两个沟槽相连通结合体区设置在沟槽之间的设计；

在 MOSFET 平面栅技术，在 2012-2013 年，提出了高低压栅氧交界区的

位置移动到栅极下的结构，还提出了凹凸状栅介质层结构；在 2015 年，多晶硅栅极下形成多个阱的结构；在 2019 年，设计了边部栅和悬浮栅结构；

在 MOSFET 超级结技术中，在 2011 年，提出了深沟槽超级 PN 结的平坦化技术；在 2016 年，提出形成交替相间的 N 型柱区和 P 型柱区，将制造周期分为超结结构制备和表面 DMOS 制备两部分；在有源区、过渡区和终端区均出现替相间的 N 型柱区和 P 型柱区等设计；在 2017 年，提出了在深沟槽隔离结构的底部和侧壁上分别形成有水平超结和垂直超结等；在 2020 年，在半导体柱表面引入埋层。

在 MOSFET 集成技术中，提出了功率器件和 JEFET、二极管集成的技术，高低压器件的集成技术。

在 IGBT 技术中，布局重点在沟槽栅、终端技术、载流子存储和增强层方面、背面工艺和保护层技术。

在 IGBT 沟槽栅技术中，布局包括：沟槽栅从缓冲区和集电区贯穿至埋层；增加栅极沟槽结构；沟槽栅结构的 IGBT 集电极从正面引出等。

在 IGBT 终端技术中，对终端结构进行了设计；在载流子存储和增强层中，在有源区增加了载流子存储层、载流子增强层。这些技术主要集中在 2013 年。

华润微还对 IGBT 背面工艺和保护层技术布局了较多专利，主要集中在 2011-2013 年，例如，利用外延层形成集电区；在正面结构上形成保护层；背面形成沟槽并填充多晶硅形成 PN 结；采用激光扫描工艺对衬底的背面进行平坦化处理形成 P 型和 N 型间隔结构。

在模块/电路技术中，布局重点在引线框架上，包括引线、管脚、芯片布局等。DBC 基板、引线框架上芯片基岛的设计、功率芯片和驱动芯片的模块化设

计、引线冷超声波键合等是近几年布局的重点。

(5) 士兰微的布局重点

具体来看，在 MOSFET 技术中，栅极技术是士兰微研究的重点，特别是沟槽栅和分裂栅技术，布局了大量专利，技术主要集中在近几年。其他栅极技术也有布局在栅氧化介质层、栅极电阻。

在沟槽栅技术中，提出了在第一沟槽和第二沟槽的上部形成介质层和阻止层来定义接触孔线宽，以缩小线宽；提出了槽栅结构被阻止层、氧化层、侧墙保护起来的结构；设计了屏蔽栅和控制栅，以及分压介质层；提出了多次回蚀刻和沉积结合的填充工艺；设计了屏蔽介质层，沟槽子掺杂区等技术。

在分裂栅技术中，提出了沟槽中栅极导体和屏蔽导体，以及屏蔽布线的设计；提出利用不同尺寸沟槽的填充效果，同时形成栅极导体和栅极布线；在沟槽的底部形成与半导体衬底相反掺杂类型的掺杂区；提出了源极电极通过位于栅极导体之间的接触孔与屏蔽导体电连接等技术。

在 MOSFET 器件中，超级结技术专利集中在 2014 年-2015 年，主要提出了几种沟槽超级结的形成工艺，例如：研磨后测量得到硅衬底上方的阻止层的厚度，然后进行热氧化生长，将沟槽中硅衬底表面高度以上的外延层全部氧化为二氧化硅层，再刻蚀去除阻止层和二氧化硅层，提高耐压性；或者根据半导体衬底上方的阻止层的实际厚度刻蚀沟槽内的外延层，直至使外延层与半导体衬底顶面齐平；采用与半导体衬底的掺杂类型相反的液态掺杂源进行扩散，在沟槽周围的半导体衬底中形成与半导体衬底的掺杂类型相反的掺杂区等。

在 MOSFET 器件中，隔离技术专利主要集中在 2016 年，提出了在沟槽中的第一填充材料层形成凹槽，在凹槽中形成第二填充材料层以形成静电隔离结构，

并对这种结构从多个角度进行了保护；在 2019 年，还提出了采用同一光刻胶掩膜，先后分别形成第一掺杂类型的阱区、位于第一掺杂类型的阱区的至少部分表面的第一掺杂类型的补偿区。

在 MOSFET 器件中，在 2011-2012 年，布局在终端结构上的专利主要在于：提出干法和湿法刻蚀结合形成功率器件终端环；提出源区结终端扩展技术和漏区结终端扩展技术一起组合使用；在 2016 年，提出在功率器件的元胞区和环区分别形成第一电荷补偿结构和第二电荷补偿结构；在 2021 年，提出接触场板位于刻蚀阻挡区上，阻挡层是多层介质层。

具体来看，在 IGBT 器件中，场截止层和沟槽栅是布局的重点，在 2012-2013 年布局重点在场截止层上，提出了场截止缓冲层包括 N 型衬底和形成在 N 型衬底中的 P 型埋层，或者保留部分半导体衬底和第一外延层共同作为场截止区等；在 2015 年-2017 年，以沟槽栅的布局为主，提出了第二沟槽栅结构、第三沟槽栅结构以及类发射区与第一沟槽栅结构电性连接的结构，以及复合型栅极结构，分离栅结构等。近几年，提出了对半导体衬底的第二表面进行激光处理，减小随后形成的缓冲区中的含氧量；还采用了至少一个缓冲区包围至少一个快速恢复二极管区。

具体来看，在模块/电路技术中，专利技术主要集中在近几年，布局重点在于框架、引线及芯片安装的设计，例如，增加了第一辅助模块、第二辅助模块连接栅极驱动芯片和晶体管的引线；对封装结构的管脚进行设计；增加了电流测量模块；采用具有台阶状接触面的引脚；对基岛布局和外引脚布局进行设计等。

6.2 建议

根据华微电子的自有专利情况,结合全球的功率半导体器件相关专利的布局以及主要竞争对手的专利布局,提出以下布局建议,以帮助华微电子更有效的利用本次专利导航分析的相关结论和成果:

6.2.1 专利布局建议

(1) 从功率半导体器件相关专利全球的申请趋势来看,专利申请整体呈增长趋势,2009年以来专利申请量急剧增长,2012年以来专利申请趋于稳定。预示着功率半导体器件相关技术的发展已经进入了成熟期,通常这个时期企业专利布局的重点在根据市场状况对专利的数量、结构分布进行调整,并对可能的替代性技术和产品进行储备性专利部署。替代技术和新兴技术更有可能产生高价值专利,因此,在专利上需要进行前瞻性布局,做到“产品未动,专利先行”。

(2) 从功率半导体器件相关专利全球的布局来看,美国、日本、中国是目前专利申请量较多的国家,其他热点区域包括欧洲、韩国等。这说明功率半导体产业的市场广阔,主要市场主体都布局了大量专利。华微电子目前仅在中国布局了专利,在产品进行海外出口时可能会面临侵权风险,建议华微电子在进行专利布局时除了布局在本土外,对高质量专利也要注重在上述海外市场主体中进行专利布局。

(3) 建议华微电子在专利布局时根据全球专利申请趋势、竞争对手的专利情况、技术领域的跨度综合判断,优先申请技术方案处于行业上升期、竞争对手的申请活跃以及技术领域应用广度大的专利。例如从器件性能上来看,MOSFET技术关注的重点是提高击穿电压、降低导通电阻;IGBT技术关注的重点是降低

成本、降低导通压降、可靠性；二极管技术关注的重点是降低导通压降、降低成本、可靠性、均匀性、提高击穿电压，小型化；模块/电路技术关注的重点是降低成本、小型化；建议在上述热点布局方向上进行专利布局。从时间维度来看，在 MOSFET 技术上，降低导通电阻、提高击穿电压、小型化、减小寄生、良率是重点申请人近三年在器件性能上研究的重点。这些是研究的热点方向，可以加大这方面的专利培育。在申请时也要注重提高技术的先进性，从近些年关注的热点方向和重点关注的技术问题出发，了解他们的解决方案，从中获得有价值的参考借鉴和技术启示。为了确保技术的先进性，还需要对待申请的技术方案进行全面的专利检索和分析，以了解哪些是现有技术，哪些是真正的发明点，围绕发明点进行专利的布局。

(4) 在 MOSFET 器件上，在栅极、终端技术、超级结技术是布局的中重点，终端技术中，埋层、漂移区、衬底的三层 RESURF 结构，多级场板，阶梯场板，孔场板技术，多个场限环是布局热点，在栅极技术中采用双沟槽结合屏蔽栅、主控制栅和辅助栅的技术是布局的热点，其次还有边部栅和悬浮栅结构，槽栅结构被阻止层、氧化层、侧墙保护起来的结构，屏蔽介质层，沟槽掺杂区，分裂栅中的栅极导体、栅极布线、屏蔽布线等布局较多；在超级结技术中，交替相间的 N 型柱区和 P 型柱区、形成水平超结和垂直超结、埋层等都是近几年研究的热点。

在 IGBT 技术中，在沟槽栅，终端技术，载流子存储和增强层方面，背面工艺和保护层技术，场截止层布局是重点；多沟槽栅，复合型栅极结构，分离栅结构是近几年布局的重点。

在模块/电路技术中，布局重点在引线框架上，包括引线、管脚、芯片布局

等。DBC 基板，引线框架上芯片基岛的设计，功率芯片和驱动芯片的模块化设计，增加了电流测量模块，采用具有台阶状接触面的引脚，引线冷超声波键合等是近几年布局的重点。

以上是重点申请人布局的热点方向，可以加大这方面的专利培育。另外通过了解竞争对手的技术优势和专利战略，针对性地进行相应的专利布局，能够给竞争对手设置进入市场的障碍，这样的专利也具有较高的市场价值。

(5) 华微电子高被引用频次的专利较少，建议华微电子在专利布局时对新申请的专利引用已经过期的专利技术或自身的专利，尽量不涉及第三方有效专利；尽可能多申请基础专利，基础专利的技术独立性较高，而且之后都会衍生出许多第三方申请的专利，技术价值较高。

(6) 建议华微电子在专利布局时要考虑替代技术和延伸技术，可以对新申请的技术方案进行不可替代性分析，找出可能解决类似问题的完全或部分技术方案，提高技术方案的不可替代性，通过核心专利和外围专利的组合申请构建不可规避的高价值专利组合。此外，还可以利用上述两种替代策略，对竞争对手的专利进行规避。

(7) 在专利申请中建议采用产品和方法、方法和装置、产品和用途等类型来组合权利要求。此外，围绕独立权利要求要多层次的布置从属权利要求。建议华微电子在新申请中，要关注权利要求数量、保护范围等，培育具有高法律价值的专利。可以利用专利组合来弥补单件专利撰写质量上的不足，增强相关领域的保护范围和强度，在侵权纠纷中具有单件专利不可比拟的优势，建议华微电子在专利布局中采用专利组合的方式进行专利布局。

6.2.2 专利风险评估及应对建议

根据本次导航的分析结果，目前功率半导体领域的申请人多为美国、日本和欧洲企业，约有 4.8 万件专利处于有效和审中状态，因此在本领域存在不小的潜在侵权风险。

功率半导体器件领域专利诉讼频发，MOSFET、功率模块/电路、IGBT 技术是主要的诉讼领域。但是 90%以上的诉讼都发生在美国和德国，诉讼专利中有效专利占比 44%，失效专利较多。而中国目前未涉及该领域的专利侵权案诉讼，因此如果华微电子有面向海外的产品出口计划，建议针对美国和德国做好专利防侵权的前期工作。综合考虑，目前该领域的专利侵权风险为低。

此外，根据以上风险评估、专利总体的分析，以及针对华微电子相关专利分析的结果，提出以下风险应对和规避建议：

1) 提前进行技术规避。通过对于产品进行规避设计的方式来消除高相关专利的侵权风险，规避设计涉及到对于现有产品方案的改型，有可能带来生产成本的增加、器件性能的降低、生产效率的降低等不利因素，建议根据具体的产品销售方向进行针对性的分析，并评估和综合考虑实施规避设计的必要性。需要注意的是，经过规避设计的产品，虽然有较大可能避免了落入了作为规避对象的专利，然而并不代表其不会落入其他有效专利的保护范围中，因此，为保证规避设计后的技术方案能够自由实施，建议就规避设计后的方案重新进行可自由实施评估。

2) 准备无效证据，在面临诉讼的情况下发起无效。提前对本领域的可能具有潜在风险的专利开展稳定性分析，针对专利稳定性差的专利，储备可影响其新颖性创造性的对比文件，包括专利、论文、行业资料或教科书等。在必要时能够

快速采取行动,通过专利无效等手段对于竞争对手有可能发起的侵权诉讼进行反击;或者通过第三方公司直接发起专利无效,占据主动权。此外针对尚未授权的相关专利,可准备相关现有技术证据,必要时提交以影响其授权,避免自身产品或技术落入其保护范围。

3) 监控重点专利权人,针对其新申请专利的动态采取适当的策略。对于本领域的重点专利权人,如士兰微、英飞凌、罗姆、三菱电机等,可对其新申请专利采取实时监控和预警机制,定期对其新申请和授权的专利进行风险排查,提前识别侵权风险,为后续采取规避或无效的策略争取时间。

4) 加大自身专利布局力度。企业方自身也在该技术领域有较多的专利布局,但是主要布局在中国。因此建议企业方加大相关专利申请的力度,针对可能具有侵权风险的技术分支申请专利,扩充自己的“武器库”以应对可能的侵权诉讼。

6) 与其他企业合作,构建专利池。可以其他在该技术领域具有技术优势的企业合作,构建专利池,在产品上市时扩充自己的知识产权后盾,共同应对可能的专利侵权风险。